

Союз Советских  
Социалистических  
Республик



Государственный комитет  
СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 926726

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 20.05.80 (21) 2926461/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 07.05.82. Бюллетень № 17

Дата опубликования описания 07.05.82

(51) М. Кл.<sup>3</sup>

G 11 C 29/00

(53) УДК 681.327.  
.66 (088.8)

(72) Авторы  
изобретения

В.К.Конопелько и П.П.Урбанович

(71) Заявитель

Минский радиотехнический институт



(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С АВТОНОМНЫМ  
КОНТРОЛЕМ

1

Изобретение относится к вычислительной технике и может быть использовано при создании систем памяти на базе интегральных запоминающих устройств.

Известно запоминающее устройство, в котором для автоматического исправления ошибок, возникающих в процессе хранения, подлежащие хранению данные кодируются с помощью кодов, исправляющих ошибки. При этом в устройство вводятся избыточные разряды, кодирующее и декодирующее устройства [1].

Однако в запоминающих устройствах подобного типа число контрольных разрядов, необходимых для исправления некоторого заданного числа ошибок в слове, велико и высока сложность кодирующих и декодирующих устройств.

Наиболее близким к предлагаемому является запоминающее устройство с

2

автономным контролем, содержащее накопитель, одни входы которого соединены с выходами адресного блока, другие - с выходами входного регистра и первыми входами сумматоров по модулю два первой группы, вторые входы которых соединены с выходами накопителя и входами блока коррекции информации, выходы которого соединены с первыми входами сумматоров по модулю два второй группы, вторые входы которых соединены с соответствующими выходами накопителя, выходы сумматоров по модулю два первой группы соединены со входами блока определения кратности ошибок, выходы которого соединены со входами первой группы входного регистра, входы второй группы которого соединены с шинами записи информации и входами блока кодирования, а входы третьей группы входного регистра соединены с выходами блока кодирования, выходной регистр [2].

В известном запоминающем устройстве входное слово записывается в накопитель, считывается и сравнивается со входной информацией, хранящейся в входном регистре. При обнаружении несогласованных со входной информацией ошибок входное слово инвертируется и вновь записывается в накопитель, считывается и сравнивается с инвертированной информацией, хранящейся в входном регистре. При этом обнаруживаются согласованные со входной информацией ошибки. По информации о согласованных и несогласованных ошибках кодирующий блок формирует на входы первой группы входного регистра кодовое слово аддитивного кода для исправления дефектов, и входная информация, согласованная с отказами элементов памяти, помещается в накопитель. Таким образом, в запоминающем устройстве для исправления двух и более ошибок в каждом слове накопителя происходит трехкратная запись информации в накопитель и двухкратное считывание.

Цель изобретения - повышение стойкости устройства.

Поставленная цель достигается тем, что выход одного из сумматоров по модулю два второй группы соединен со входами первой группы выходного регистра, входы второй группы которого соединены с выходами других сумматоров по модулю два второй группы, соответствующий вход входного регистра соединен с соответствующим входом блока кодирования и шиной записи нуля.

На чертеже представлена блок-схема запоминающего устройства.

Запоминающее устройство содержит адресный блок 1, соединенный адресными шинами 2 с накопителем 3. Входы 4 накопителя соединены с выходами входного регистра 5, входы второй группы которого соединены с шинами 6 записи информации и первыми входами блока 7 кодирования. Соответствующий вход 8 входного регистра соединен с шиной записи нуля и соответствующим входом блока кодирования. Входы 9 третьей группы входного регистра соединены с выходами блока кодирования. Выходы 10 накопителя соединены со входами блока 11 коррекции информации, вторыми входами сумматоров 12 по модулю два первой груп-

пы и вторыми входами сумматоров 13 по модулю два второй группы. Первые входы сумматоров по модулю первой группы соединены с выходами входного регистра 5. Выходы сумматоров первой группы соединены со входами блока 14 определения кратности ошибки, выход 15 которого соединен со входами первой группы входного регистра. Первые входы сумматоров второй группы соединены с выходами 16 блока 11 коррекции информации. Выходы 17 второй группы сумматоров 13 соединены со входами 18 второй группы выходного регистра. Входы 19 первой группы выходного регистра соединены с выходом одного из сумматоров второй группы. Выходы 20 выходного регистра являются выходами устройства.

Выполнение блоков 7 кодирования и коррекции информации хорошо известно. Блок 14 определения кратности ошибок может представлять собой, например, комбинационный двоичный счетчик и дешифратор числа.

В режиме записи информации устройство работает следующим образом.

Двоичное кодовое слово  $x = (x_1, x_2, \dots, x_n)$ ,  $x_i = 0, 1, 1 \leq i \leq n$  длины  $n$ , первые  $(k-1)$  разрядов которого являются информационными, а последние  $(n-k)$  - контрольными, через соответствующие входы 6 и 9 помещается во входной регистр 5. В  $k$ -ый разряд входного числа по шине записи нуля 8 записывается нуль. Контрольные  $(n-k)$  разряды вычисляются по  $k$  разрядам, в соответствии с применяемым кодом, исправляющим  $t_0 = (d-1)/2$  ошибок, где  $d$  - кодовое расстояние. Из входного регистра 5 слово  $x$  через входы 4 переписывается в накопитель 3 по адресу, поступающему через шины 2 из адресного блока 1. Затем осуществляется контрольное считывание слова  $x$  из накопителя 3. Считанное слово  $x' = (x'_1, x'_2, \dots, x'_n)$ ,  $x'_i = 0, 1, 1 \leq i \leq n$  с выходов 10 накопителя поступает на первые входы сумматоров 12 первой группы, на вторые входы которых поступает информация с выходов входного регистра 5. На выходах сумматоров 12 происходит формирование вектора несогласованных ошибок  $e = x \oplus x' = (x_2 \oplus x'_1, x_1 \oplus x'_2, \dots, x_n \oplus x'_n)$ , где знак  $\oplus$  означает сложение по модулю два. Вектор  $e$  поступает

в блок 14 определения кратности ошибок, где происходит определение числа несогласованных с входной информацией отказов в опрашиваемой ячейке. Если  $e = 0$ , цикл записи заканчивается.

Если  $e \neq 0$ , в блоке 14 определяется кратность несогласованных ошибок, т.е. число разрядов  $t_1$ , в которых информация, считанная с ячейки, не совпадает с информацией, записанной в эту ячейку. Такие ошибки называются несогласованными. В этой же ячейке могут быть и согласованные отказы  $t_2$ , когда записываемая для хранения информация совпадает с состоянием отказавших ячеек. Обозначим через  $t = t_1 + t_2$  общее число отказавших элементов памяти в опрашиваемой ячейке. При записи информации возможны два случая:

$$I \left\lfloor \frac{t}{2} \right\rfloor \left[ \quad \text{и} \quad II \left\lceil \frac{t}{2} \right\rceil \right],$$

где  $\lfloor \cdot \rfloor$  - округление до целого числа в меньшую сторону. Например, при

$$t = 5 \left\lfloor \frac{t}{2} \right\rfloor = 2.$$

В случае I цикл записи заканчивается, так как код выбирается так, что может исправлять  $t_2 = t_0 \left\lfloor \frac{t}{2} \right\rfloor$  ошибок. В случае II блок 14 вырабатывает единичный сигнал, который поступает на выходы 15 входного регистра 5. В результате в последнем оказывается кодовое слово  $Y$ , отличающееся от исходного кодового слова во всех компонентах ( $Y$  называется инверсным кодовым словом). Факт инверсии обозначается записью единичного сигнала в  $k$ -ый разряд входного регистра 5. Кодовое слово  $Y$  помещается в накопитель 3 на место кодового слова  $X$ .

Для того, чтобы слово  $Y$  было кодовым, необходимо, чтобы используемый код с  $t_0 = (d - 1)/2$  содержал слово, состоящее из одних единиц, или в порождающей матрице линейного кода в приведенно-ступенчатом виде все столбцы имели нечетное число единиц. В результате инвертирования слова согласованные ошибки становятся несогласованными и наоборот, но число несогласованных ошибок мень-

ше, чем  $\left\lfloor \frac{t}{2} \right\rfloor$ , т.е. возникает слу-

чай 1 и применяемый код может исправить это число ошибок. Таким образом, например, применяя код с  $d = 3$ , можно исправить три ошибки, а кодом с  $d = 7$  - семь ошибок.

В режиме считывания информации из ячейки накопителя 3 считываемая информация поступает на вход блока 11 коррекции информации и на вторые входы сумматоров 13 второй группы. Блок 11 вырабатывает корректирующие сигналы в соответствии с вычисленным и дешифрованным синдромом ошибок, которые, поступая на первые входы сумматоров 13 второй группы, производят исправление несогласованных ошибок. Если производится инверсия записываемого слова, то на входы 19 выходного регистра 18 поступает единичный сигнал, и на выходе 20 выходного регистра восстанавливается правильная входная информация.

Поясним выше сказанное с использованием корректирующего кода с  $d = 5$  и исправлением пяти отказов в слове ( $t = 5$ ).

Возможные случаи появления пяти отказов в ячейке (если количество отказов меньше пяти, то их коррекция производится аналогично одному из нижеперечисленных случаев):

а) все ошибки согласованные ( $t_2 = 5$ , т.е. состояния отказавших элементов памяти совпадают с записываемой информацией);

б) все ошибки несогласованные ( $t_2 = 5$ ), состояния отказавших элементов памяти не совпадают с записываемой информацией;

в) одна ошибка согласованная, четыре несогласованные ( $t_2 = 1, t_1 = 4$ );

г) две ошибки согласованные, три несогласованные ( $t_2 = 2, t_1 = 3$ );

д) три ошибки согласованные, две несогласованные ( $t_2 = 3, t_1 = 2$ );

е) четыре ошибки согласованные, одна несогласованная ( $t_2 = 4, t_1 = 1$ ).

Рассмотрим процесс хранения информации в каждом из случаев а - е.

В случае д информация, хранящаяся в отказавших элементах памяти, совпадает с состоянием этих элементов, и блок 14 определения кратности ошибок не указывает на наличие ошибок в хранимом слове.

В случае б при контрольном считывании в режиме записи блок 14 обнаруживает ошибки и по вектору ошибок

е устанавливает, что несогласованных ошибок больше, чем согласованных. На выходе блока 14 появляется единичный сигнал, который, поступив на выходы 15 входного регистра 5, инвертирует кодовое слово  $x$  в кодовое слово  $Y$ , которое вновь помещается в накопитель. При этом несогласованные ошибки становятся согласованными. Считывание информации происходит аналогично случаю  $a$ , но хранимая информация инвертируется на обратную на выходном регистре 18 единичным сигналом с  $k$ -го разряда.

В случае  $b$  запись информации осуществляется так же, как и в  $a$ . При этом одна согласованная ошибка ( $t_2 = 1$ ) становится несогласованной и при считывании происходит исправление этой ошибки сигналом с блока 11 на сумматорах 13 (код исправляет одиночные и двойные ошибки, так как  $d = 5$ ) с последующим инвертированием скорректированного слова сигналом с выхода  $k$ -го разряда.

В случае  $c$  процесс записи-считывания информации аналогичен случаю  $b$ , но при считывании код с  $d = 5$  исправляет уже ошибку кратности два.

В случае  $d$  процесс записи-считывания информации аналогичен случаю  $c$ , но при записи и считывании не происходит инвертирования.

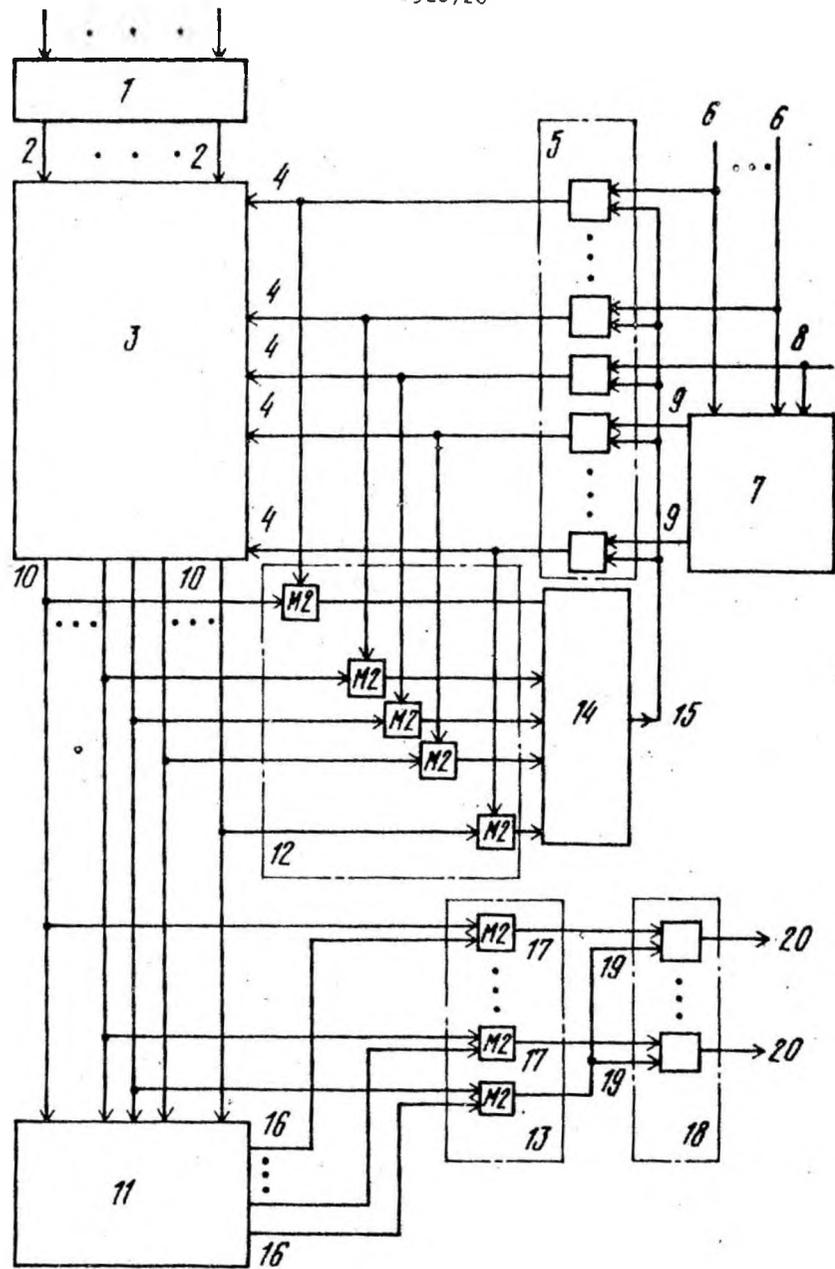
В случае  $e$  процесс записи-считывания аналогичен случаю  $d$ , но блок 11 коррекции информации корректирует одну несогласованную ошибку. Таким образом, предлагаемое устройство выполняет те же функции, что и известное, но быстродействие предлагаемого устройства в режиме записи выше на один цикл записи-считывания. В предлагаемом устройстве требуется максимум два цикла записи и один цикл считывания в режиме записи информации, тогда как в известном устройстве необходимо три цикла записи и два цикла считывания в режиме записи.

Запоминающее устройство с автономным контролем, содержащее накопитель, одни входы которого соединены с выходами адресного блока, другие - с выходами входного регистра и первыми входами сумматоров по модулю два первой группы, вторые входы которых соединены с выходами накопителя и входами блока коррекции информации, выходы которого соединены с первыми входами сумматоров по модулю два второй группы, вторые входы которых соединены с соответствующими выходами накопителя, выходы сумматоров по модулю два первой группы соединены со входами блока определения кратности ошибок, выходы которого соединены со входами первой группы входного регистра, входы второй группы которого соединены с шинами записи информации и входами блока кодирования, а входы третьей группы входного регистра соединены с выходами блока кодирования, выходной регистр, отличающееся тем, что, с целью повышения быстродействия устройства, выход одного из сумматоров по модулю два второй группы соединен со входами первой группы выходного регистра, входы второй группы которого соединены с выходами других сумматоров по модулю два второй группы, соответствующий вход входного регистра соединен с соответствующим входом блока кодирования и шиной записи нуля.

Источники информации, принятые во внимание при экспертизе

1. Самофалов К.Г. и др. Структурно-логические методы повышения надежности запоминающих устройств. М., "Машиностроение", 1976, с. 152.

2. Авторское свидетельство СССР № 556501, кл. G 11 C 29/00, 1977 (прототип).



Редактор Л.Горбунова      Составитель В.Конопелько  
 Техред И. Гайду      Корректор М.Демчик

---

Заказ 2991/45      Тираж 624      Подписное

ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

---

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4