

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР  
ИНТЕЛЛЕКТУАЛЬНОЙ  
СОБСТВЕННОСТИ

(19) ВУ (11) 17482

(13) С1

(46) 2013.08.30

(51) МПК

G 11C 11/00 (2006.01)

H 03M 13/09 (2006.01)

(54)

## ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

(21) Номер заявки: а 20111272

(22) 2011.09.30

(43) 2013.04.30

(71) Заявитель: Учреждение образования "Белорусский государственный технологический университет" (ВУ)

(72) Авторы: Урбанович Павел Павлович; Романенко Дмитрий Михайлович; Пацей Наталья Владимировна; Шиман Дмитрий Васильевич; Виткова Марина Федоровна; Булова Юлия Олеговна (ВУ)

(73) Патентообладатель: Учреждение образования "Белорусский государственный технологический университет" (ВУ)

(56) ВУ 13777 С1, 2010.

ВУ 11406 С1, 2008.

RU 2092912 С1, 1997.

JP 62259300 А, 1987.

JP 63056900 А, 1988.

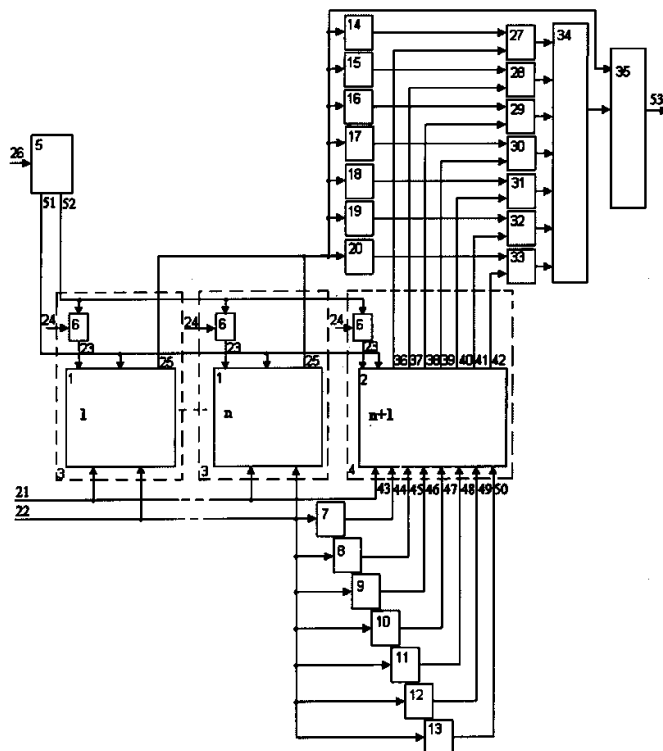
JP 4310137 А, 1992.

US 6158017 А, 2000.

US 2003/126523 А1.

(57)

Запоминающее устройство, характеризующееся тем, что содержит  $n + 1$  блоков памяти из  $n + 1$  кристаллов памяти, первые входы которых объединены между собой и являются первым управляющим входом устройства, второй информационный вход которого



Фиг. 6

ВУ 17482 С1 2013.08.30

соединен с информационными входами  $n$  кристаллов памяти, адресный вход устройства соединен со входом дешифратора адреса, первый выход старшего разряда которого соединен с первыми входами программируемых блоков адреса кристаллов памяти с первого по  $(n + 1)$ -й, вторые входы которых объединены между собой и являются вторым управляющим входом устройства, а их выходы соединены с соответствующими первыми адресными входами кристаллов памяти с первого по  $(n + 1)$ -й, вторые адресные входы которых соединены со вторым выходом младшего разряда дешифратора адреса; выходы кристаллов памяти с первого по  $n$ -й объединены между собой и соединены со входами первой группы блоков вычисления первого, второго, третьего, четвертого, пятого, шестого и седьмого паритетов и с первым входом блока коррекции ошибок, выход которого является информационным выходом устройства, выходы первой группы блоков вычисления первого, второго, третьего, четвертого, пятого, шестого и седьмого паритетов соединены соответственно с первыми входами первого, второго, третьего, четвертого, пятого, шестого и седьмого сумматоров, выходы которых соединены соответственно с первым, вторым, третьим, четвертым, пятым, шестым и седьмым входами мажоритарного блока, выход которого соединен со вторым входом блока коррекции ошибок, вторые входы первого, второго, третьего, четвертого, пятого, шестого и седьмого сумматоров соединены соответственно с первым, вторым, третьим, четвертым, пятым, шестым и седьмым выходами  $(n + 1)$ -го кристалла памяти, первый, второй, третий, четвертый, пятый, шестой и седьмой информационные входы которого соединены соответственно с выходами второй группы блоков вычисления первого, второго, третьего, четвертого, пятого, шестого и седьмого паритетов, входы которых соединены со вторым информационным входом устройства.

---

Изобретение относится к вычислительной технике и может быть использовано при производстве СБИС запоминающих устройств (ЗУ) высокой информационной емкости, а также в системах кодирования двоичной информации.

Известно запоминающее устройство, содержащее элементы памяти, схемы логики обрамления, позволяющие производить обращение при записи и считывании информации только к одному элементу памяти матрицы и осуществлять коррекцию сигналов с дефектных элементов памяти [1].

Недостатками этого запоминающего устройства являются невысокие надежность и быстродействие из-за сложности блоков контроля, большой задержки сигналов в них, введения большого числа разрядных элементов памяти.

Другим из известных устройств является система памяти, содержащая устройства памяти, первые и вторые адресные входы, управляющие входы, выход системы, соединенный с первыми выходами устройств, причем первые адресные и управляющие входы системы соединены с первыми и вторыми входами запоминающих блоков в каждом устройстве. Эта система позволяет производить как коррекцию отдельных дефектных элементов памяти, слов, разрядов в запоминающих блоках, так и замену дефектных блоков на исправные [2].

Однако известная система характеризуется большой избыточностью и не позволяет использовать для хранения информации отдельные дефектные блоки, что уменьшает эффективно используемую емкость памяти.

Наиболее близким техническим решением к предлагаемому изобретению является запоминающее устройство [3], содержащее блок памяти из  $n + 1$  кристаллов памяти, первые входы которых соответственно объединены и являются первыми управляющими входами устройства, вторые (информационные) входы устройства соединены с информационными входами  $n$  кристаллов памяти, адресные входы устройства соединены со входами дешиф-

ратора адреса, первые выходы (старшие разряды) которого соединены с первыми входами программируемых блоков адреса кристаллов памяти с первого по  $(n + 1)$ -й, вторые входы которых соответственно объединены и являются вторыми управляющими входами устройства, выходы программируемых блоков адреса кристаллов памяти соединены соответственно с первыми адресными входами кристаллов памяти, вторые адресные входы которых соединены со вторыми выходами (младшими разрядами) дешифратора адреса, выходы кристаллов памяти с первого по  $n$ -й соединены со входами первых блоков вычисления первого, второго и третьего паритетов и с первыми входами блока коррекции ошибок, выход которого является информационным выходом устройства, выходы первых блоков вычисления первого, второго и третьего паритетов соединены соответственно с первыми входами первых, вторых и третьих сумматоров, выходы которых соответственно соединены с первыми, вторыми и третьими входами мажоритарного блока, выходы которого соединены со вторыми входами блока коррекции ошибок, вторые входы которых соединены соответственно с первой, второй и третьей группами выходов  $(n + 1)$ -го кристалла памяти, первая, вторая и третья группы информационных входов которого соединены соответственно с выходами вторых блоков вычисления первого, второго и третьего паритетов, входы которых соединены со вторыми (информационными) входами устройства.

В этом устройстве кристаллы памяти, имеющие дефектные элементы памяти по фиксированным адресам, объединяются между собой таким образом, что появляется возможность использовать частично годные кристаллы, что повышает эффективную емкость ЗУ, а использование горизонтальных и вертикальных проверок записываемых и считываемых символов на основе итеративного кода позволяет повысить надежность ЗУ. Однако при относительно большой длине информационного слова, записываемого в  $n$  кристаллов памяти (64 и более), цикл записи (а соответственно и цикл считывания информации) заметно возрастает. Это снижает эффективность использования итеративного кода на основе формирования горизонтальных и вертикальных паритетов.

Задачей изобретения является повышение надежности запоминающего устройства.

Запоминающее устройство, характеризующееся тем, что содержит  $n + 1$  блоков памяти из  $n + 1$  кристаллов памяти, первые входы которых объединены между собой и являются первым управляющим входом устройства, второй информационный вход которого соединен с информационными входами  $n$  кристаллов памяти, адресный вход устройства соединен со входом дешифратора адреса, первый выход старшего разряда которого соединен с первыми входами программируемых блоков адреса кристаллов памяти с первого по  $(n + 1)$ -й, вторые входы которых объединены между собой и являются вторым управляющим входом устройства, а их выходы соединены с соответствующими первыми адресными входами кристаллов памяти с первого по  $(n + 1)$ -й, вторые адресные входы которых соединены со вторым выходом младшего разряда дешифратора адреса; выходы кристаллов памяти с первого по  $n$ -й объединены между собой и соединены со входами первой группы блоков вычисления первого, второго, третьего, четвертого, пятого, шестого и седьмого паритетов и с первым входом блока коррекции ошибок, выход которого является информационным выходом устройства, выходы первой группы блоков вычисления первого, второго, третьего, четвертого, пятого, шестого и седьмого паритетов соединены соответственно с первыми входами первого, второго, третьего, четвертого, пятого, шестого и седьмого сумматоров, выходы которых соединены соответственно с первым, вторым, третьим, четвертым, пятым, шестым и седьмым входами мажоритарного блока, выход которого соединен со вторым входом блока коррекции ошибок, вторые входы первого, второго, третьего, четвертого, пятого, шестого и седьмого сумматоров соединены соответственно с первым, вторым, третьим, четвертым, пятым, шестым и седьмым выходами  $(n + 1)$ -го кристалла памяти, первый, второй, третий, четвертый, пятый, шестой и седьмой информаци-

онные входы которого соединены соответственно с выходами второй группы блоков вычисления первого, второго, третьего, четвертого, пятого, шестого и седьмого паритетов, входы которых соединены со вторым информационным входом устройства.

Изобретение поясняется фиг. 1-6.

Фиг. 1 - схема трехмерного итеративного кода с семью линейно-независимыми паритетами (ТИК7).

Фиг. 2 - принцип формирования избыточных символов для трехмерного итеративного кода с семью линейно-независимыми паритетами ( $k = 64$ ), где 54 - информационные символы ( $X_{1-64}$ ), 55 - горизонтальные паритеты (HP) ( $R_{1-4}, R_{17-20}, R_{33-36}, R_{49-52}$ ) (в формуле изобретения - первые паритеты), 56 - вертикальные паритеты (VP) ( $R_{5-8}, R_{21-24}, R_{37-40}, R_{53-56}$ ) (в формуле изобретения - вторые паритеты), 57 - первые объединенные диагональные паритеты (DP1) ( $R_{9-12}, R_{25-28}, R_{41-44}, R_{57-60}$ ) (в формуле изобретения - четвертые паритеты), 58 - вторые объединенные диагональные паритеты (DP2) ( $R_{13-16}, R_{29-32}, R_{45-48}, R_{61-64}$ ) (в формуле изобретения - пятые паритеты), 59 - первые паритеты между плоскостями (Z) ( $R_{65-80}$ ) (в формуле изобретения - третьи паритеты), 60 - вторые паритеты между плоскостями (со сдвигом по горизонтали) (ZH) ( $R_{81-96}$ ) (в формуле изобретения - шестые паритеты), 61 - третьи паритеты между плоскостями (со сдвигом по вертикали) (ZP) ( $R_{97-112}$ ) (в формуле изобретения - седьмые паритеты).

Фиг. 3 - фрагмент порождающей матрицы трехмерного итеративного кода с семью линейно-независимыми паритетами, отображающий принцип формирования горизонтальных и вертикальных паритетов (на фиг. 3 не отображены "нули" и "единичная" матрица).

Фиг. 4 - фрагмент порождающей матрицы трехмерного итеративного кода с семью линейно-независимыми паритетами, отображающий принцип формирования первых и вторых объединенных диагональных паритетов (на фиг. 4 не отображены "нули" и "единичная" матрица).

Фиг. 5 - фрагмент порождающей матрицы трехмерного итеративного кода с семью линейно-независимыми паритетами, отображающий принцип формирования первых, вторых и третьих паритетов между плоскостями кода (на фиг.5 не отображены "нули" и "единичная" матрица).

Фиг. 6 - запоминающее устройство.

Сущность метода заключается в том, что система памяти состоит из  $n + 1$  кристаллов,  $n$  из которых имеют внутренние схемы дешифрации адреса, а  $(n + 1)$ -й кристалл является устройством для хранения паритетов строк и столбцов (HP, VP), первых и вторых объединенных диагональных паритетов (DP1 и DP2), первых, вторых и третьих паритетов между плоскостями (Z, ZH, ZV). Из этого следует, что вычисление проверочных символов осуществляется в семи направлениях (HP, VP, DP1, DP2, Z, ZH, ZV), т.е. в качестве корректирующего кода используется усовершенствованный трехмерный линейный итеративный код, основанный на свертках по модулю 2, в который добавлены первые и вторые объединенные диагональные проверки, а также вторые и третьи паритеты между плоскостями кода (трехмерный итеративный код с семью линейно-независимыми паритетами). Схематическое представление данного кода, а также принцип формирования проверочных символов при  $k = 64$  бит представлена на фиг. 1 и 2 соответственно.

Минимальное кодовое расстояние ( $d$ ) трехмерного линейного итеративного кода с семью линейно-независимыми проверками будет равно 8, следовательно, код позволяет корректировать все ошибки, кратностью не превышающие три. Необходимо также отметить, что с ростом длины информационной последовательности увеличивается скорость кода. Так, при длине  $k = 64$  скорость  $R = 0,36$ , при  $k = 512$  скорость кода будет уже равна  $R = 0,53$ , а при  $k = 4096$  скорость кода достигает  $R = 0,7$ .

# BY 17482 C1 2013.08.30

Согласно порождающей матрице (фиг. 3), проверочные символы  $R_{1-112}$  могут быть рассчитаны по следующим зависимостям:

$$\begin{aligned}
 R_1 &= X_1 \oplus X_2 \oplus X_3 \oplus X_4, \\
 R_2 &= X_5 \oplus X_6 \oplus X_7 \oplus X_8, \\
 &\vdots \\
 R_5 &= X_1 \oplus X_5 \oplus X_9 \oplus X_{13}, \\
 R_6 &= X_2 \oplus X_6 \oplus X_{10} \oplus X_{14}, \\
 &\vdots \\
 R_9 &= X_1 \oplus X_8 \oplus X_{11} \oplus X_{14}, \\
 R_{10} &= X_2 \oplus X_5 \oplus X_{12} \oplus X_{15}, \\
 R_{11} &= X_3 \oplus X_6 \oplus X_9 \oplus X_{16}, \\
 R_{10} &= X_4 \oplus X_7 \oplus X_{10} \oplus X_{13}, \\
 &\vdots \\
 R_{13} &= X_2 \oplus X_7 \oplus X_{12} \oplus X_{13}, \\
 R_{14} &= X_3 \oplus X_8 \oplus X_9 \oplus X_{14}, \\
 R_{15} &= X_4 \oplus X_5 \oplus X_{10} \oplus X_{15}, \\
 R_{16} &= X_1 \oplus X_6 \oplus X_{11} \oplus X_{16}, \\
 &\vdots \\
 R_{18} &= X_{21} \oplus X_{22} \oplus X_{23} \oplus X_{24}, \\
 R_{19} &= X_{25} \oplus X_{26} \oplus X_{27} \oplus X_{28}, \\
 &\vdots \\
 R_{65} &= X_1 \oplus X_{17} \oplus X_{33} \oplus X_{49}, \\
 R_{66} &= X_2 \oplus X_{18} \oplus X_{34} \oplus X_{50}, \\
 &\vdots \\
 R_{81} &= X_1 \oplus X_{18} \oplus X_{35} \oplus X_{52}, \\
 R_{82} &= X_2 \oplus X_{19} \oplus X_{36} \oplus X_{49}, \\
 R_{83} &= X_3 \oplus X_{20} \oplus X_{33} \oplus X_{50}, \\
 R_{83} &= X_4 \oplus X_{17} \oplus X_{34} \oplus X_{51}, \\
 &\vdots \\
 R_{97} &= X_1 \oplus X_{21} \oplus X_{41} \oplus X_{61}, \\
 R_{98} &= X_5 \oplus X_{25} \oplus X_{45} \oplus X_{49}, \\
 R_{99} &= X_9 \oplus X_{29} \oplus X_{33} \oplus X_{53}, \\
 R_{100} &= X_{13} \oplus X_{17} \oplus X_{37} \oplus X_{57}, \\
 &\vdots \\
 R_{112} &= X_{16} \oplus X_{20} \oplus X_{40} \oplus X_{60}.
 \end{aligned} \tag{1}$$

Структурная схема ЗУ (фиг. 4) содержит  $n$  групп блоков (матрицу) памяти 3, состоящих из кристаллов памяти 1 и программируемых блоков адреса кристаллов 6,  $n + 1$  блок памяти 4, состоящий из кристалла памяти 2 и программируемого блока адреса кристалла 6, объединенные входы 21 кристаллов памяти, которые являются первыми управляющими входами устройства, вторые информационные входы 22 устройства, соединенные с информационными входами  $n$  кристаллов памяти 1, адресные входы устройства 26 соединены с входом дешифратора адреса 5. Первые выходы 51 (старшие разряды) дешифратора 5 соединены с первыми входами программируемых блоков адреса кристаллов памяти 6 с первого по  $(n + 1)$ -й, вторые же входы 24 дешифратора 5 соответственно объединены и являются вторыми управляющими входами устройства, а выходы 23 программируемых блоков адреса кристаллов памяти 6 соединены соответственно с первыми адресными вхо-

дами кристаллов памяти, вторые адресные входы которых соединены со вторыми выходами 52 (младшими разрядами) дешифратора адреса 5. Устройство также содержит первые блоки вычисления горизонтальных 14, вертикальных 15, первых и вторых объединенных диагональных паритетов 16 и 17, первых, вторых и третьих паритетов между плоскостями кода 18, 19 и 20, входы которых соединены с выходами 25 кристаллов памяти с первого по  $n$ -й; выходы первых блоков вычисления горизонтальных 14 и вертикальных 15, первых и вторых диагональных 16 и 17 паритетов, первых, вторых и третьих паритетов между плоскостями кода 18, 19 и 20 соединены соответственно с первыми входами первых, вторых, третьих, четвертых, пятых, шестых и седьмых сумматоров 27, 28, 29, 30, 31, 32 и 33, вторые входы которых соединены соответственно с первыми группами выходов 36, 37, 38, 39, 40, 41 и 42 ( $n + 1$ )-го кристалла памяти 2, группы информационных входов 43, 44, 45, 46, 47, 48, 49 и 50 которого соединены соответственно с выходами вторых блоков вычисления горизонтальных 7, вертикальных 8, первых и вторых объединенных диагональных паритетов 9 и 10, первых, вторых и третьих паритетов между плоскостями кода 11, 12 и 13, входы которых соединены со вторыми информационными входами устройства 22.

Кроме того, устройство содержит мажоритарный блок 34, выходы которого соединены со вторыми входами блока коррекции ошибок 35, а входы - с выходами первых 27, вторых 28, третьих 29, четвертых 30, пятых 31, шестых 32 и седьмых 33 сумматоров соответственно. Выход 53 блока коррекции ошибок 35 является информационным выходом устройства.

На управляющие входы 21 и 24 подаются стандартные сигналы (разрешение записи/чтения) для соответствующего типа памяти. На адресный вход 26 устройства подаются подадреса опрашиваемого ЭП (соответственно младшие и старшие разряды). В соответствии с кодом адреса на шинах 23 формируется новый (внутренний) адрес, соответствующий адресу годного поднакопителя (часть накопителя) кристаллов 1 и 2 и элементу памяти внутри поднакопителя. Таким образом, программируемый блок 5 позволяет использовать частично годные накопителя, что повышает эффективную емкость запоминающего устройства.

Устройство работает следующим образом.

Режим записи.

На шине 21 устанавливается сигнал, разрешающий запись информации в кристаллы памяти 1 и 2. На адресный вход 26 устройства подаются подадреса требуемых элементов памяти. Информационные биты по шине 22 передаются на запись в кристаллы памяти 1, а также во вторые блоки формирования горизонтальных 7, вертикальных 8, первых объединенных диагональных 9, вторых объединенных диагональных 10 паритетов, первых, вторых и третьих паритетов между плоскостями 11, 12 и 13, где осуществляется формирование соответствующих паритетов, которые далее записываются в ( $n + 1$ )-й кристалл памяти 2.

Режим считывания.

На шине 21 устанавливается сигнал, разрешающий считывание информации в кристаллы памяти 1 и 2. На адресный вход 26 устройства подаются подадреса требуемых элементов памяти. Информационные биты, считанные из кристаллов памяти 1, по шине 25 передаются на первый вход блока коррекции ошибок 35, а также в первые блоки формирования горизонтальных 14, вертикальных 15, первых объединенных диагональных 16, вторых объединенных диагональных 17 паритетов, первых, вторых и третьих паритетов между плоскостями 18, 19 и 20, из которых новые паритеты передаются на первые входы соответствующих первых 27, вторых 28, третьих 29, четвертых 30, пятых 31, шестых 32 и седьмых 33 сумматоров. На вторые входы сумматоров 27, 28, 29, 30, 31, 32 и 33 передают считанные по шинам 36, 37, 38, 39, 40, 41 и 42 старые проверочные символы. Результаты суммирования на сумматорах 27, 28, 29, 30, 31, 32 и 33 передаются в мажоритарный блок 34 и далее на вторые входы блока коррекции ошибок 35, где при необходимости осуществляется инверсия соответствующего бита, и далее по шине 53 на выход из устройства.

# BY 17482 C1 2013.08.30

Рассмотрим пример исправления ошибок трехмерным итеративным кодом с семью линейно-независимыми проверками. Пусть закодированы 64 бита ( $k = 64$ ) информации  $X = 0111\ 1010\ 0010\ 1100\ 0111\ 1010\ 0010\ 1100\ 0111\ 1010\ 0010\ 1100\ 0111\ 1010\ 0010\ 1100$  (информационные биты записываются в кристаллы памяти с 1-го по  $n$ -й). То есть согласно порождающей матрице (фиг. 3) в блоках 7, 8, 9, 10, 11, 12 и 13 формируются проверочные символы, которые далее записываются в  $n + 1$  кристалл памяти:

$$\begin{aligned}
 R_{1-4} &= 1010, \\
 R_{5-8} &= 0011, \\
 R_{9-12} &= 0011, \\
 R_{13-16} &= 1001, \\
 &\vdots \\
 R_{65-80} &= 0001000000001000, \\
 R_{81-96} &= 1101000011110010, \\
 R_{97-112} &= 0100000011111110.
 \end{aligned} \tag{2}$$

Пусть при хранении во втором и четвертом битах информационной последовательности  $X$  возникла ошибка (инверсия бита). Тогда  $X' = 0010\ 1010\ 0010\ 1100\ 0111\ 1010\ 0010\ 1100\ 0111\ 1010\ 0010\ 1100$ . Новые проверочные символы, сформированные в блоках 14, 15, 16, 17, 18, 19 и 20, будут равны:

$$\begin{aligned}
 R'_{1-4} &= 1010, \\
 R'_{5-8} &= 0110, \\
 R'_{9-12} &= 0110, \\
 R'_{13-16} &= 0011, \\
 &\vdots \\
 R'_{65-80} &= 0100000000001000, \\
 R'_{81-96} &= 1000000011110010, \\
 R'_{97-112} &= 010010001111010.
 \end{aligned} \tag{3}$$

Для декодирования информации реализован мажоритарный принцип (принцип большинства). Например, при проверке 8-го информационного бита в сумматорах 27, 28, 29, 30, 31, 32 и 33 будут сравниваться  $R_2$  и  $R'_2$ ,  $R_8$  и  $R'_8$ ,  $R_9$  и  $R'_9$ ,  $R_{14}$  и  $R'_{14}$ ,  $R_{72}$  и  $R'_{72}$ ,  $R_{88}$  и  $R'_{88}$ ,  $R_{110}$  и  $R'_{110}$ . Иными словами, будут выполнены следующие операции суммирования по модулю 2 (1 свидетельствует о том, что ошибка произошла в данном бите, 0 - ошибки нет):

$$\begin{aligned}
 R_1 \oplus R'_1 &= 0 \oplus 0 = 0, \\
 R_8 \oplus R'_8 &= 1 \oplus 0 = 1, \\
 R_9 \oplus R'_9 &= 0 \oplus 0 = 0, \\
 R_{14} \oplus R'_{14} &= 0 \oplus 0 = 0, \\
 R_{72} \oplus R'_{72} &= 0 \oplus 0 = 0, \\
 R_{88} \oplus R'_{88} &= 0 \oplus 0 = 0, \\
 R_{110} \oplus R'_{110} &= 1 \oplus 1 = 0.
 \end{aligned} \tag{4}$$

По результатам суммирования согласно мажоритарному принципу в блоке 34 делается вывод, что ошибки в данном информационном бите нет (на выходе из блока 34 установ-

ливается 0). При проверке 2-го и 4-го информационных битов в результате выполнения операций сравнения в сумматорах 27, 28, 29, 30, 31, 32 и 33 получим:

для 2-го бита	для 4-го бита
$R_1 \oplus R'_1 = 0 \oplus 0 = 0,$	$R_1 \oplus R'_1 = 0 \oplus 0 = 0,$
$R_6 \oplus R'_6 = 0 \oplus 1 = 1,$	$R_8 \oplus R'_8 = 1 \oplus 0 = 1,$
$R_{10} \oplus R'_{10} = 0 \oplus 1 = 1,$	$R_{12} \oplus R'_{12} = 1 \oplus 0 = 1,$
$R_{13} \oplus R'_{13} = 1 \oplus 0 = 1,$	$R_{15} \oplus R'_{15} = 0 \oplus 1 = 1,$
$R_{66} \oplus R'_{66} = 0 \oplus 1 = 1,$	$R_{68} \oplus R'_{68} = 1 \oplus 0 = 1,$
$R_{82} \oplus R'_{82} = 1 \oplus 0 = 1,$	$R_{84} \oplus R'_{84} = 1 \oplus 0 = 1,$
$R_{101} \oplus R'_{101} = 0 \oplus 1 = 1,$	$R_{109} \oplus R'_{109} = 1 \oplus 0 = 1.$

(5)

Таким образом, при считывании информации данные биты необходимо инвертировать (шесть паритетов из семи как в случае со 2-м информационным битом, так и в случае с 4-м показали о наличии ошибок, следовательно, на выходе из блока 34 устанавливается 1). Аналогичные операции осуществляются для всех считываемых информационных битов.

Источники информации:

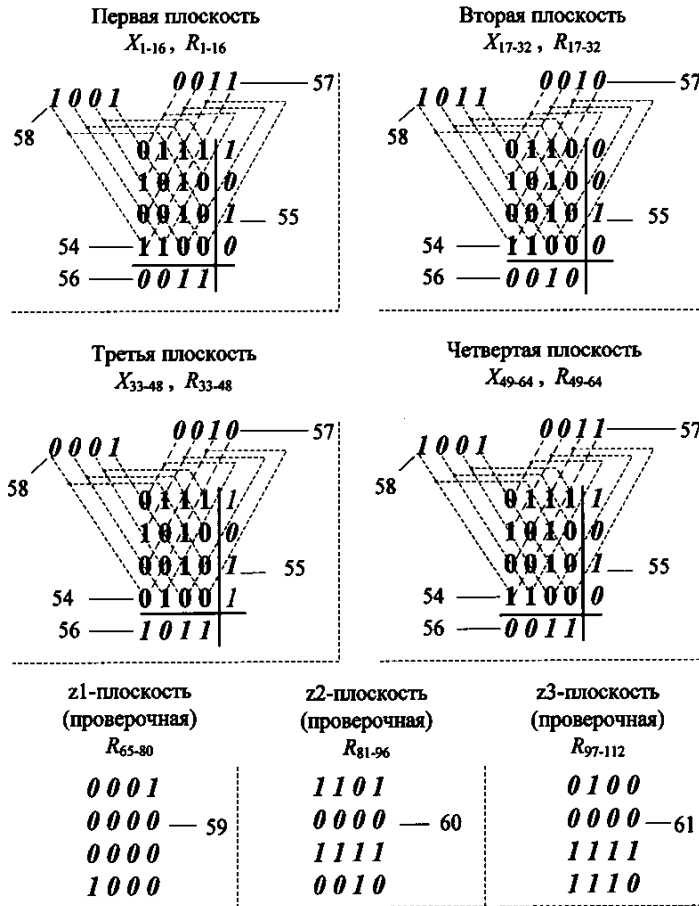
1. А.с. СССР 957273, МПК G 11C 11/00, 1982.
2. А.с. СССР 433542, МПК G 11C 29/00, 1974.
3. Патент BY 7277, МПК G 11C 29/00, 11/00, 2005 (прототип).



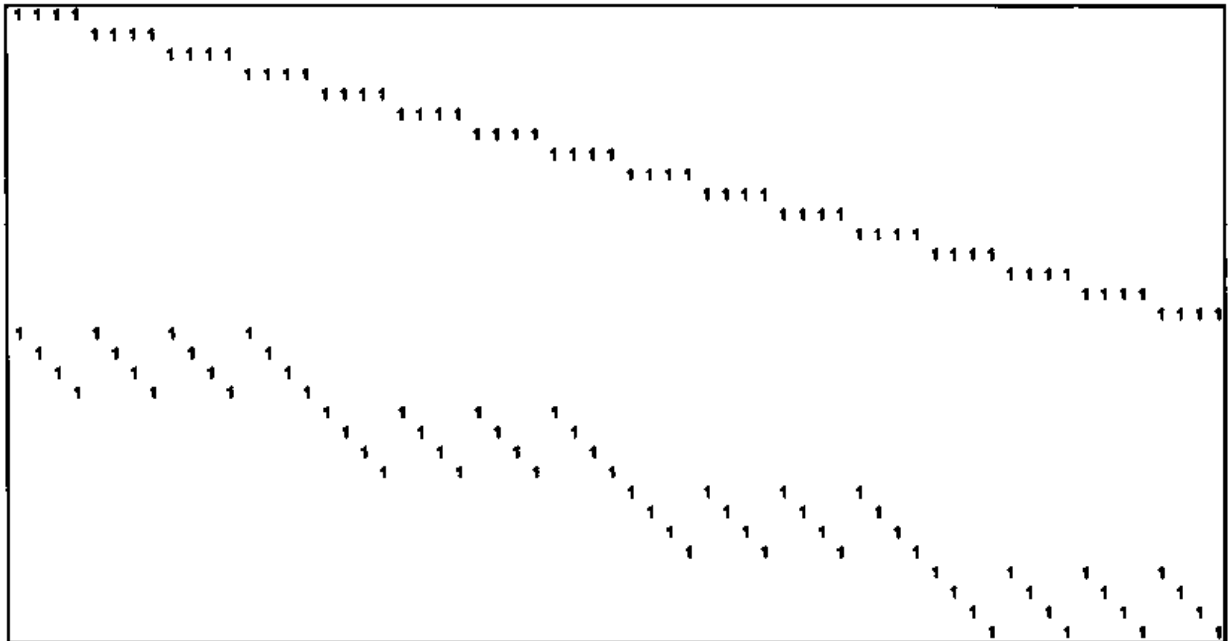
Фиг. 1



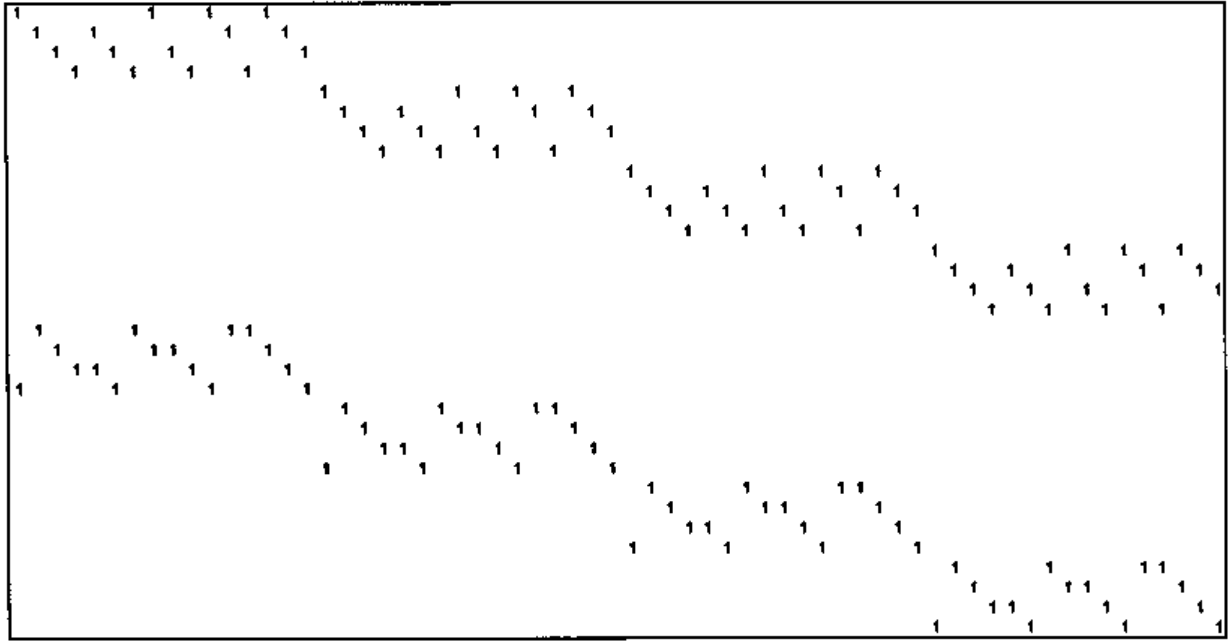
# BY 17482 C1 2013.08.30



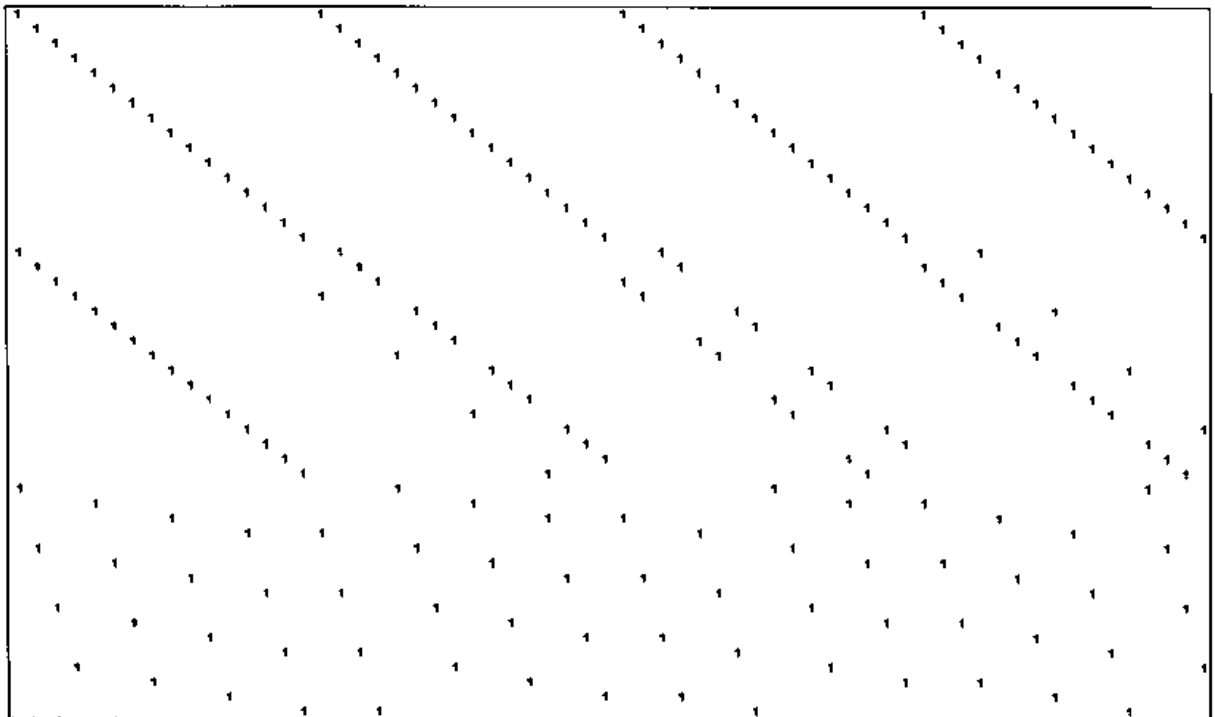
Фиг. 2



Фиг. 3



Фиг. 4



Фиг. 5