



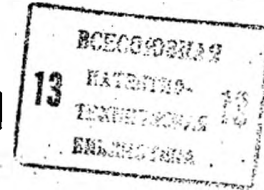
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1049981** **A**

3(5) G 11 C 29/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3444112/18-24
(22) 16.04.82
(46) 23.10.83, Бюл. №39
(72) В.В.Лосев и П.П.Урбанович
(71) Минский радиотехнический институт
(53) 681.327(088.8)
(56) 1. Авторское свидетельство СССР № 402870, кл. G 06 F 11/08, 1973.
2. Авторское свидетельство СССР № 765886, кл. G 11 C 29/00, 1980 (прототип).
(54) (57) 1. УСТРОЙСТВО ДЛЯ КОРРЕКЦИИ ОТКАЗОВ В ПОЛУПРОВОДНИКОВОЙ ПАМЯТИ, содержащее регистр прямого кода, входы которого являются одним из входов устройства, причем одни из входов соединены с выходами элементов И первой группы, первые и вторые входы которых подключены к первому и к второму выходам блока кодирования, входы которого соединены с выходами элементов ИЛИ первой группы, первые и вторые входы которых соединены с выходами элементов И второй и третьей групп соответственно, входы регистра прямого кода подключены к одним из входов элементов И четвертой группы, а один из выходов - соответственно к одним из входов элементов И второй группы и к одним из входов блока сравнения и элементов ИЕ первой группы, выходы которых соединены с одними из входов элементов И пятой группы, выходы элементов И четвертой и пятой групп подключены соответственно к первым и к вторым входам элементов ИЛИ второй группы, другие входы блока сравнения соединены с выходами регистра инверсного кода, одни из выходов которого подключены к одним из входов элементов И третьей группы, одни из выходов и один из входов блока сравнения соединены соответственно с одними из входов логического блока, выходы которого и выходы элементов ИЛИ вто-

рой группы являются выходами устройства, третьи входы элементов И первой группы и другие входы элементов И групп с второй по пятую подключены к выходам блока управления, входы которого и входы регистра инверсного кода являются другими входами устройства, о т л и ч а ю щ е е с я тем, что, с целью повышения надежности устройства, в него введены блок анализа отказов, сумматор по модулю два, регистр контрольного кода, триггер, группы сумматоров по модулю два, регистр основного проверочного вектора, блок вычисления дополнительного проверочного вектора и шестая соединены соответственно с другими выходами блока сравнения и с выходом триггера, первый вход которого подключен к выходу сумматора по модулю два, входы которого соединены соответственно с другими выходами регистра прямого кода и с выходами сумматоров по модулю два первой группы, входы которых подключены к одним из выходов регистра прямого кода и к первым входам сумматоров по модулю два второй группы, вторые входы которых соединены с выходами регистра контрольного кода, инверсные входы которого подключены к выходам элементов и шестой группы, а прямые входы соединены с вторым выходом блока кодирования, третий выход которого подключен к одним из входов блока вычисления дополнительного проверочного вектора, другие входы которого являются управляющими, а выходы соединены с одними из входов блока анализа отказов, выходы и другие входы которого подключены соответственно к другим входам логического блока и к выходам регистра основного проверочного вектора, входы которого соединены с выходами сумматоров по модулю два второй группы, другой вход триггера является управляющим.

(19) **SU** (11) **1049981** **A**

2. Устройство по п. 1, о т л и ч а ю щ е с я тем, что блок вычисления дополнительного проверочного вектора содержит третью группу сумматоров по модулю два, группы числовых регистров, седьмую и восьмую группы элементов И и вторую группу элементов НЕ, причем первые входы элементов И седьмой и восьмой групп соответственно объединены и являются одними из входов блока, а вторые входы - другими входами блока, выходы элементов И седьмой и восьмой групп подключены соответственно к входам числовых регистров первой группы и к входам числовых регистров второй группы, выходы которых соединены с входами элементов НЕ второй группы, выходы которых подключены к одним из входов сумматоров

по модулю два третьей группы, другие входы которых соединены с выходами числовых регистров первой группы, а выходы являются выходами блока.

3. Устройство по п. 1, о т л и ч а ю щ е с я тем, что логический блок содержит третью группу элементов ИЛИ, входы которых, кроме первых, соответственно объединены, а выходы подключены к первым входам элементов И девятой группы, выходы которых соединены с одним из входов сумматоров по модулю два четвертой группы, выходы которых являются выходами блока, а другие входы и вторые входы элементов И девятой группы являются одними из входов блока, причем входы элементов ИЛИ третьей группы являются другими входами блока.

1

Изобретение относится к вычислительной технике и может быть использовано при изготовлении больших интегральных схем запоминающих устройств (БИС ЗУ) с многозарядной организацией накопителя, имеющих большую площадь кристаллов и блоков памяти повышенной надежности.

Известно устройство для коррекции отказов в полупроводниковой памяти, содержащее регистры, блок сравнения и логические элементы [1].

Недостатком этого устройства является низкая надежность.

Наиболее близким к изобретению по технической сущности является устройство для коррекции отказов в полупроводниковой памяти, содержащее регистр прямого кода, в котором первые, вторые и третий входы соединены с одними из входов устройства, вторые и третий входы связаны также с выходами первых элементов И, первые и второй входы которых связаны с соответствующими выходами блока кодирования, входы которого подключены к выходам первых элементов ИЛИ, первые и вторые входы которых связаны соответственно с выходами вторых и третьих элементов И, первые и вторые выходы регистра прямого кода подключены к соответствующим входам четвертых элементов И и через элементы НЕ - к соответствующим входам пятых элементов И, выходы четвертых и пятых элементов И связаны с входами вторых элементов ИЛИ, выходы которых подключены к одним из выходов устройства, третий выход регистра

2

прямого кода соединен с соответствующим входом четвертых элементов И, первые выходы регистра прямого кода связаны также с одними из входов вторых элементов И, первыми входами блока сравнения и первыми входами блока исправления ошибок, вторые входы блока сравнения подключены к первым выходам регистра инверсного кода и к одним из входов третьих элементов И, третьи и четвертые входы блока сравнения связаны соответственно с вторыми выходами регистров прямого и инверсного кодов, входы регистра инверсного кода соединены с другими входами устройства, первые выходы блока сравнения соединены с вторыми входами блока исправления ошибок, выход которого подключен к вторым выходам устройства, вторые входы первых, вторых и третьих элементов И, а также четвертые и третьи входы соответственно четвертых и пятых элементов И соединены с выходами блока управления [2].

Недостатком известного устройства является низкая надежность, так как оно позволяет корректировать число отказов, равное количеству дополнительных контрольных разрядов накопителя при условии, что количество отказов в группах разрядов информационного слова, контролируемых соответствующими контрольными разрядами кода Хемминга, не более одного. Однако, если отказ возникает в разряде, двоичный номер которого состоит только из единиц (т.е. числа $2^n - 1$, где $n=2,3,\dots, P$, P - целое

число), то скорректировать можно не более одной ошибки в информационном слове, поскольку в других случаях в некоторых группах разрядов будет более одного отказа, и эти отказы не будут исправлены.

Цель изобретения - повышение надежности устройства.

Поставленная цель достигается тем, что в устройство для коррекции отказов в полупроводниковой памяти, содержащее регистр прямого кода, входы которого являются одними из входов устройства, причем одни из входов соединены с выходами элементов И первой группы, первые и вторые входы которых подключены к первому и к второму выходам блока кодирования, входы которого соединены с выходами элементов ИЛИ первой группы, первые и вторые входы которых соединены с выходами элементов И второй и третьей групп соответственно, выходы регистра прямого кода подключены к одним из входов элементов И четвертой группы, а одни из выходов элементов И второй группы и к одним из входов блока сравнения и элементов НЕ первой группы, выходы которых соединены с одними из входов элементов И пятой группы, выходы элементов И четвертой и пятой групп подключены соответственно к первым и к вторым входам элементов ИЛИ второй группы, другие входы блока сравнения соединены с выходами регистра инверсного кода, одни из выходов которого подключены к одним из входов элементов И третьей группы, одни из входов блока сравнения соединены соответственно с одними из входов логического блока, выходы которого и выходы элементов ИЛИ второй группы являются выходами устройства, третьи входы элементов И первой группы и другие входы элементов И групп с второй по пятую подключены к выходам блока управления, входы которого и входы регистра инверсного кода являются другими входами устройства, введены блок анализа отказов, сумматор по модулю два, регистр контрольного кода, триггер, группы сумматоров по модулю два, регистр основного проверочного вектора, блок вычисления дополнительного проверочного вектора и шестая группа элементов И, входы которых соединены соответственно с другими выходами блока сравнения и с выходом триггера, первый вход которого подключен к выходу сумматора по модулю два, входы которого соединены соответственно с другими выходами регистра прямого кода и с выходами сумматоров по модулю два первой группы, входы которых подключены к одним из

выходов регистра прямого кода и первым входам сумматоров по модулю два второй группы, вторые входы которых соединены с выходами регистра контрольного кода, инверсные входы которого подключены к выходам элементов И шестой группы, а прямые входы соединены с вторым выходом блока кодирования, третий выход которого подключен к одним из входов блока вычисления дополнительного проверочного вектора, другие входы которого являются управляющими, а выходы соединены с одними из входов блока анализа отказов, выходы и другие входы которого подключены соответственно к другим входам логического блока и к выходам регистра основного проверочного вектора, входы которого соединены с выходами сумматоров по модулю два второй группы, другой вход триггера является управляющим.

Кроме того, блок вычисления дополнительного проверочного вектора содержит третью группу сумматоров по модулю два, группы числовых регистров, седьмую и восьмую группы элементов И и вторую группу элементов ИЕ, причем первые входы элементов И седьмой и восьмой группы соответственно объединены и являются одними из входов блока, а вторые входы - другими входами блока, выходы элементов И седьмой и восьмой группы подключены соответственно к входам числовых регистров первой группы и к входам числовых регистров второй группы, выходы которых соединены с входами элементов ИЕ второй группы, выходы которых подключены к одним из входов сумматоров по модулю два третьей группы, другие входы которых соединены с выходами числовых регистров первой группы, а выходы являются выходами блока.

При этом логический блок содержит третью группу элементов ИЛИ, входы которых, кроме первых, соответственно объединены, а выходы подключены к первым входам элементов И девятой группы, выходы которых соединены с одними из входов сумматоров по модулю два четвертой группы, выходы которых являются выходами блока, а другие входы и вторые входы элементов И девятой группы являются одними из входов блока, причем входы элементов ИЛИ третьей группы являются другими входами блока.

На фиг. 1 изображена функциональная схема предлагаемого устройства; на фиг. 2 - схема блока вычисления дополнительного проверочного вектора; на фиг. 3 - схема логического блока; на фиг. 4 - схема блока анализа отказов; на фиг. 5 - проверочная матрица, поясняющая работу устройства.

Устройство содержит (фиг. 1) регистр 1 прямого кода с выходами 2 - 4, группы элементов И с первой по четвертую 5 - 8, первую 9 и вторую 10 группы элементов ИЛИ, блок 11 кодирования, блок 12 сравнения, логический блок 13 с входами 14₁, 14₂ и 14₃, первую 15 и вторую 16 группы сумматоров по модулю два, на фиг. 1 обозначены один из входов 18 - 20 устройства, первый 21 и второй 22 выходы блока кодирования. Устройство содержит также регистр 23 контрольного кода, пятую 24 и шестую 25 группы элементов И, регистр 26 основного проверочного вектора, триггер 27, блок 28 анализа отказов с входами 29₁ и 29₂, блок 30 вычисления дополнительного проверочного вектора с одними из входов 31, регистр 32 инверсного кода с выходами 33 и 34 и выходами 35, первую группу элементов ИЕ 36 и блок 37 управления.

На фиг. 1 обозначены также выходы 38 и 39 блока сравнения, выходы 40 и 41 устройства и выходы 42 блока управления.

Блок 20 вычисления дополнительно проверочного вектора содержит (фиг. 2) седьмую 43 и восьмую 44 группы элементов И, первую 45 и вторую 46 группы числовых регистров, вторую группу элементов ИЕ 47 и третью группу регистров 48 по модулю два.

Логический блок 13 содержит (фиг. 3) третью группу элементов ИЛИ 49, девятую группу элементов И 50 и четвертую группу сумматоров 51 по модулю два.

Блок анализа отказов содержит (фиг. 4) группы сумматоров 52 - 55 по модулю два и группы элементов ИЛИ-ИЕ 56 - 59.

На фиг. 5 обозначены общая проверочная матрица 60 кода Хемминга информационных разрядов, матрицы 61 - 63 каждой из частей общей проверочной матрицы и единичная матрица 64.

Устройство работает следующим образом.

В блоке 11 формируются не только контрольные разряды информационного слова, но и группы контрольных разрядов частей, на которые разбивается информационное слово, причем число разрядов в каждой части соответствует степени двойки. При этом используется следующее свойство: если проверочной матрице $H_{n,k}$ (где n, k - целые числа) кода Хемминга число '1' в строке информационных символов нечетно, т.е. в случае $n=7, k=4$, прямой код 0011 100, то при инвертировании K разрядов инверсное кодовое слово имеет вид 1100 011, т.е. инвертируются и проверочные разряды.

В цикле записи информационное слово, состоящее из K разрядов, по входам 18 заносится в регистр 1. Через его выходы 2, элементы И 6 и элементы ИЛИ 9 слово поступает в блок 11, где вырабатываются в соответствии с кодом Хемминга p контрольных разрядов и $(p+1)$ -й разряд, значение которого равно сумме по модулю два значений p разрядов. Эти разряды соответственно по выходам 21 и 22 блока 11 и через элементы И 7 по входам 19 и 20 заносятся в $(p+1)$ -е разряды регистра 1. Сформированное таким образом кодовое слово, состоящее из $n=(K+P+1)$ разрядов, через элементы И 8 и один из элементов ИЛИ 10 и далее через выходы 41 заносится в накопитель (не показан) по выбранному адресу. На этом цикл записи окончен.

В цикле считывания n -разрядное слово (в слове могут быть отказаны) в прямом коде по входам 18 - 20 считывается из накопителя в регистр 1. Считанные K информационных разрядов через выходы 2 регистра 1 и элементы И 6 и ИЛИ 9 поступают в блок 11, где вырабатываются P_c новых контрольных битов, и через элементы 22 блока 11 заносятся в регистр 23. Одновременно на выходах сумматоров 15 вырабатывается $(P+1)$ контрольный разряд и на сумматоре 17 сравнивается с $(P+1)$ - разрядом, считанным из накопителя. Если эти биты одинаковы, то на выходе сумматора 17 будет нулевой сигнал (в противном случае - единичный), который заносится в триггер 27. В это же время на выходах 31 блока 11 вырабатываются в группы P_1 контрольных разрядов, которые записываются через элементы И 43 (фиг. 2) в соответствующие регистры 45, блока 30.

После этих операций $(K+P)$ символы прямого кода инвертируются на элементах ИЕ 36 (фиг. 1) и через элементы И 24, ИЛИ 10 заносятся в те же ячейки накопителя. После этого производится контрольное считывание информации в инверсном коде по входам 35 в регистр 32. По выходам 34 K инверсных разрядов через элементы И 7 и ИЛИ 9 поступают в блок 11, где вырабатываются на выходах 31 в новых групп P_1 разрядов, которые заносятся в регистры 46 блока 30.

В блоке 12 сравниваются соответствующие K_c и P_c разрядов, полученных при двух считываниях. В тех позициях, где разряды отличаются, на соответствующих из выходов 38 и 39 блока 12 находятся символы '1'. Результат сравнения с выходов 38 поступает на входы элементов И 25 и, если в триггере 27 записана '1',

тора 10010, которая хранится в регистре 26. В блоке 28 установлено, что сумма основного и дополнительных проверочных векторов равна нулю (по модулю два). На выходах первого, второго и третьего из элементов ИЛИ 49 находятся единичные сигналы, позволяющие правильно восстановить информационные символы, которые записывались в накопитель: 101101100100110, а инверсия пятнадцатого разряда не будет произведена.

Таким образом, в кодовом слове удалось исправить пять отказов, четыре из которых находились среди информационных.

Устройство позволяет корректировать отказы, даже если все они принадлежат одной группе контролируемых разрядов. При этом в предлагаемом устройстве, как и в известном, необходимо лишь один дополнительный цикл записи инверсного кодового слова в накопитель. Таким образом, предлагае-

мое устройство позволяет корректировать большее, по сравнению с известным, число отказов (ошибок) в памяти, за счет чего повышается его надежность.

5

В качестве базового объекта выбрана БИС ЗУ типа К541 РУ2, которая позволяет производить обращение при записи или считывании информации к

10

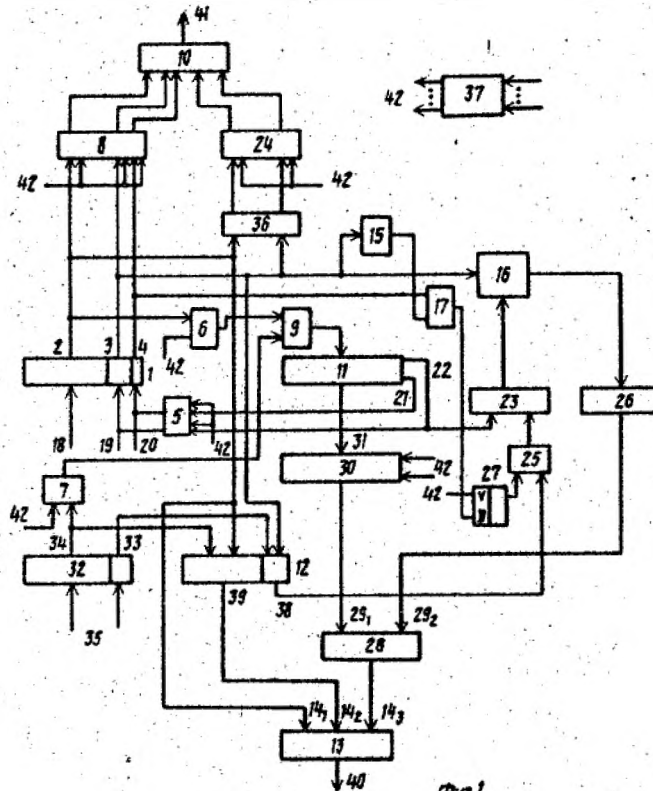
четырем разрядам накопителя. Однако работоспособность устройства нарушается при отказах ячеек накопителя. При использовании в этом БИС ЗУ изобретения можно корректировать отказ

15

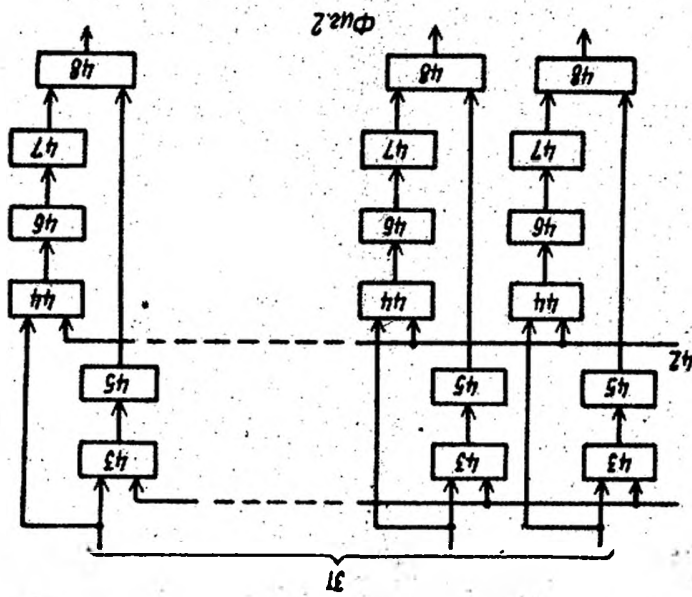
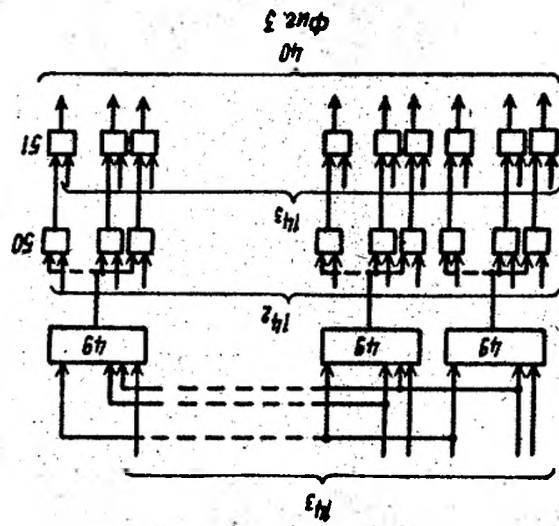
в каждой из четырех строк накопителя до четырех, т.е. всего шестнадцать отказов. Это позволяет не только повысить надежность БИС ЗУ, но

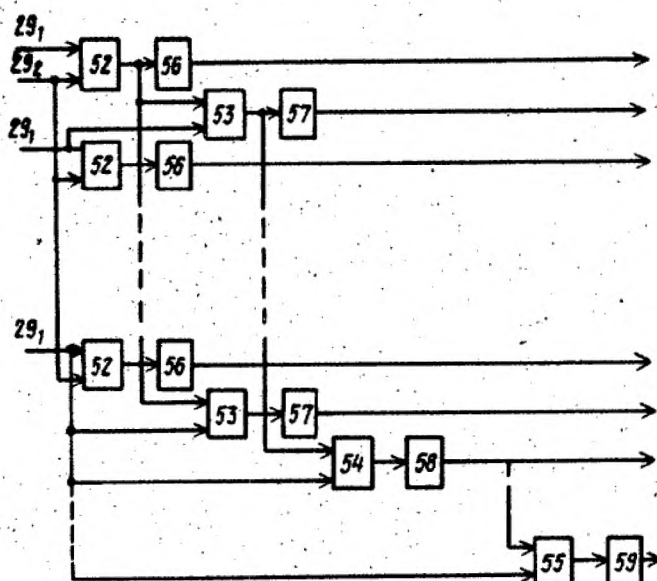
20

и увеличить выход кристаллов при их изготовлении за счет применения БИС с ограниченным числом дефектных ячеек, возникших при производстве БИС ЗУ.

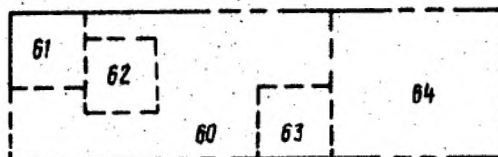


Фиг. 1





Фиг. 4



Фиг. 5

Редактор О.Черниченко Составитель Т.Зайцева Корректор А.Дзятко
 Техред М.Надь

Заказ 8437/50 Тираж 594 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д.4/5

филиал ППП "Патент", г. Ужгород, ул. Проектная, 4