



СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(SU) (SU) 1283860 A2

(SU) 4 G 11 C 29/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

## ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (61) 1070610
- (21) 3949773/24-24
- (22) 16.07.85
- (46) 15.01.87. Бюл. № 2
- (71) Минский радиотехнический институт
- (72) О.А.Гордынец и П.П.Урбанович
- (53) 681.327.6 (088,8)
- (56) Авторское свидетельство СССР № 10706, кл. G 11 C 29/00, 1982.
- (54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С КОРРЕКЦИЕЙ ИНФОРМАЦИИ
- (57) Изобретение относится к области вычислительной техники, может быть использовано при создании быстродей-

ствующих запоминающих устройств повышенной надежности и является усовершенствованием изобретения по а.с. № 1070610. Целью изобретения является повышение быстродействия устройства в режиме работы без ошибок. Запоминающее устройство содержит накопитель, коммутатор, регистры, триггеры, блок кодирования информации, элементы И, элемент НЕ, блок сравнения, блок суммирования сигналов ошибок, блок обнаружения ошибок, дешифраторы, формирователь сигналов ошибок, постоянный накопитель, блок приоритета, блок коррекции ошибок. 3 ил.

(SU) (SU) 1283860 A2

Изобретение относится к вычислительной технике, в частности к запоминающим устройствам, и может быть использовано при создании быстродействующих запоминающих устройств повышенной надежности.

Цель изобретения - повышение быстродействия устройства.

На фиг.1 изображена функциональная схема предлагаемого устройства; на фиг.2,3 - функциональные схемы блока обнаружения ошибок и блока приоритета соответственно.

Устройство содержит (фиг.1) накопитель 1 с информационными 2, адресными 3 и управляющими 4 входами, коммутатор 5, первый регистр 6 с информационными входами 7, предназначенный для хранения признаков ошибок, триггер 8 с выходом 9, блок 10 кодирования информации, второй регистр 11 с инверсными выходами 12, предназначенный для хранения кодового слова, первый 13 и второй 14 элементы И, а также элемент НЕ 15. На фиг.1 обозначены установочный вход 16, управляющий выход 17, информационный выход 18 и вход 19, управляющие вход 20 и выход 21 сигналов прерывания устройства, вход 22 разрешения записи и вход 23 разрешения считывания первого регистра. Кроме того, устройство содержит блок 24 сравнения с одними из входов 25, связанными с выходами второго регистра 11, блок 26 суммирования сигналов ошибок с одними из входов 27 и блок 28 обнаружения ошибок, первые входы 29 и выходы 23 которого соединены с соответствующими выходами и входами первого регистра 6. Устройство содержит также первый 30 и второй 31 дешифраторы, предназначенные для декодирования первого и второго признаков ошибок соответственно, входами соединенные с другими выходами 32 регистра 6 и выходами блока 24 соответственно, формирователь 33 сигналов ошибок, постоянный накопитель 34 с входами 35, блок 36 приоритета, входы 37 которого соединены с выходами блока 24, первый блок 38 коррекции ошибок с входами 39 и 40, соединенный соответственно с выходами накопителя 1 и выходами второго дешифратора 31, второй блок 41 коррекции ошибок с выходами 42 и 43, подключенными соответственно к выходам блока 38 и первого дешифратора

30, выходы 44 и 45 второго блока 41 коррекции соединены с соответствующими входами третьего регистра 46, выход которого соединен с одним входом 47 второго коммутатора 48, второй вход 49 которого связан с одним выходом накопителя 1, а управляющий вход 50 - с выходом третьего элемента И 51 и третьим управляющим выходом устройства, входы элемента И 51 подключены к третьему выходу 52 блока 28 и выходу 9 триггера 8.

Блок обнаружения ошибок содержит (фиг.2) четвертый 53 и пятый 54 элементы И, элемент ИЛИ 55 и сумматор 56 по модулю два.

Блок приоритета содержит (фиг.3) элементы И 57.

Устройство работает следующим образом.

Постоянный накопитель 34 хранит признаки единичных ошибок в любом из разрядов считываемого слова из накопителя 1.

В режиме записи информации устройство работает обычным образом.

Данные, поступающие по входам 19 (фиг.1), дополненные нулевым символом на входе 20, поступают на входы блока 10, который кодирует информацию кодом Хемминга с кодовым расстоянием  $d = 4$  и выдает на свои выходы кодовое слово, которое помещается через первый коммутатор 5 в накопитель 1 по адресу на входах 3. При этом на выходе 9 триггера 8 присутствует нулевой сигнал.

В режиме считывания, задаваемым соответствующим сигналом на входе 4 накопителя, выходные данные с выходов накопителя 1 подаются на блок 33 и одновременно на входы регистра 11 (на одном из входов регистра - нулевой сигнал, разрешающий запись в этот регистр), блока 24 и блока 38. При наличии ошибки ее признак вырабатывается на выходах 27 блока 33.

При первоначальном появлении однократной  $t = 1$  ошибки вычисленный признак не равен нулю и имеет нечетный вес, о чем свидетельствует единичный сигнал на выходе сумматора (фиг.2). При этом регистр 6 вырабатывает нулевой сигнал на выходе 29, а блок 28 вырабатывает на выходах 17 и 23 нулевые сигналы, которые запрещают выдачу нулевого признака из регистра 6 на выходы 32 и перезапись инверсного сло-

Изобретение относится к вычислительной технике, в частности к запоминающим устройствам, и может быть использовано при создании быстродействующих запоминающих устройств повышенной надежности.

Цель изобретения - повышение быстродействия устройства.

На фиг.1 изображена функциональная схема предлагаемого устройства; на фиг.2,3 - функциональные схемы блока обнаружения ошибок и блока приоритета соответственно.

Устройство содержит (фиг.1) накопитель 1 с информационными 2, адресными 3 и управляющими 4 входами, коммутатор 5, первый регистр 6 с информационными входами 7, предназначенный для хранения признаков ошибок, триггер 8 с выходом 9, блок 10 кодирования информации, второй регистр 11 с инверсными выходами 12, предназначенный для хранения кодового слова, первый 13 и второй 14 элементы И, а также элемент НЕ 15. На фиг.1 обозначены установочный вход 16, управляющий выход 17, информационный выход 18 и вход 19, управляющие вход 20 и выход 21 сигналов прерывания устройства, вход 22 разрешения записи и вход 23 разрешения считывания первого регистра. Кроме того, устройство содержит блок 24 сравнения с одними из входов 25, связанными с выходами второго регистра 11, блок 26 суммирования сигналов ошибок с одними из входов 27 и блок 28 обнаружения ошибок, первые входы 29 и выходы 23 которого соединены с соответствующими выходами и входами первого регистра 6. Устройство содержит также первый 30 и второй 31 дешифраторы, предназначенные для декодирования первого и второго признаков ошибок соответственно, входами соединенные с другими выходами 32 регистра 6 и выходами блока 24 соответственно, формирователь 33 сигналов ошибок, постоянный накопитель 34 с входами 35, блок 36 приоритета, входы 37 которого соединены с выходами блока 24, первый блок 38 коррекции ошибок с входами 39 и 40, соединенный соответственно с выходами накопителя 1 и выходами второго дешифратора 31, второй блок 41 коррекции ошибок с выходами 42 и 43, подключенными соответственно к выходам блока 38 и первого дешифратора

30, выходы 44 и 45 второго блока 41 коррекции соединены с соответствующими входами третьего регистра 46, выход которого соединен с одним входом 47 второго коммутатора 48, второй вход 49 которого связан с одним выходом накопителя 1, а управляющий вход 50 - с выходом третьего элемента И 51 и третьим управляющим выходом устройства, входы элемента И 51 подключены к третьему выходу 52 блока 28 и выходу 9 триггера 8.

Блок обнаружения ошибок содержит (фиг.2) четвертый 53 и пятый 54 элементы И, элемент ИЛИ 55 и сумматор 56 по модулю два.

Блок приоритета содержит (фиг.3) элементы И 57.

Устройство работает следующим образом.

Постоянный накопитель 34 хранит признаки единичных ошибок в любом из разрядов считываемого слова из накопителя 1.

В режиме записи информации устройство работает обычным образом.

Данные, поступающие по входам 19 (фиг.1), дополненные нулевым символом на входе 20, поступают на входы блока 10, который кодирует информацию кодом Хемминга с кодовым расстоянием  $d = 4$  и выдает на свои выходы кодовое слово, которое помещается через первый коммутатор 5 в накопитель 1 по адресу на входах 3. При этом на выходе 9 триггера 8 присутствует нулевой сигнал.

В режиме считывания, задаваемым соответствующим сигналом на входе 4 накопителя, выходные данные с выходов накопителя 1 подаются на блок 33 и одновременно на входы регистра 11 (на одном из входов регистра - нулевой сигнал, разрешающий запись в этот регистр), блока 24 и блока 38. При наличии ошибки ее признак вырабатывается на выходах 27 блока 33.

При первоначальном появлении однократной  $t = 1$  ошибки вычисленный признак не равен нулю и имеет нечетный вес, о чем свидетельствует единичный сигнал на выходе сумматора (фиг.2). При этом регистр 6 вырабатывает нулевой сигнал на выходе 29, а блок 28 вырабатывает на выходах 17 и 23 нулевые сигналы, которые запрещают выдачу нулевого признака из регистра 6 на выходы 32 и перезапись инверсного сло-

мяти накопителя 1. С входов 49 информация не поступает в коммутатор 48 и далее на выход 18 устройства, так как на входе 50 коммутатора 48 - нулевой символ.

2. Две ошибки в прямом слове возникли из-за отказов элементов памяти. В этом случае при контрольном считывании на двух выходах блока 23, соответствующих отказавшим разрядам, появятся единичные сигналы, поскольку отказавшие элементы памяти находятся в одном и том же состоянии независимо от записываемой информации. На выходах 35 блока 36 из этих двух единичных сигналов, поступивших на входы 37, останется только один. Этот единичный сигнал спросит соответствующее слово в накопителе 34, в результате чего на входы 7 регистра 6 поступит для записи признак единичной ошибки одного из отказавших разрядов. Одновременно, поскольку на выходах 27 блока 33 присутствует нулевой признак, указывающий на отсутствие ошибок в инверсном считываемом слове (так как ошибки из-за отказов элементов памяти в инверсном слове стали совпадать с записываемой инверсной информацией), на выходе 17 блока 28 появится нулевой сигнал, который, проходя через элемент НЕ 15, установит на выходе 22 элемента И 14 единичный сигнал (так как на выходе триггера 8 присутствует единичный сигнал). Этот сигнал разрешит запись признака единичной ошибки из накопителя 34 в регистр 6. Кроме того, поскольку в считываемом инверсном слове не содержится ошибок и на выходе 23 блока 28 присутствует нулевой сигнал, запрещающий выдачу признака из регистра 6, то информация, считываемая из накопителя 1, проходит через блоки 38 и 41 без изменения. При этом, так как считываемое слово хранится инвертированным, то на выходе 44 блока 41 присутствует единичный сигнал, который изменит в регистре 46 значения сигналов с входов 45 на противоположные и через блок 48 без изменения поступит на выход 18 устройства. Таким образом, произойдет исправление двух ошибок, вызванных отказами элементов памяти.

3. Две ошибки в прямом слове возникли из-за сбоев элементов памяти.

В этом случае при контрольном считывании на выходах 27 блока 33 появится нулевой признак четного веса, в результате чего на выходе 17 блока 28 появится единичный сигнал, который откроет элемент И 13 и, проходя через элемент НЕ 15, закроет элемент И 14. В результате на выходах 22 и 21 появится соответственно нулевой и единичный сигнал, который закрепят запись признака в регистр 6 и выдадут сигнал прерывания на выход 21 устройства, указывающий на появление в считываемом слове некорректируемых устройством ошибок.

Когда в считываемом слове появятся две ошибки и на выходе 29 регистра 6-единичный сигнал, указывающий, что в предыдущих тактах работы устройства в регистр 6 зафиксирован признак отказа, то на выходах 27 блока 33 появится ненулевой признак четного веса, а на выходах 17 и 27 блока 38 соответственно нулевой и единичный сигналы. Эти сигналы запретят запись признака единичной ошибки из накопителя 34 и разрешают считывание признака из регистра 6 на выходы 32. Благодаря этому на выходах блока 26 сформируется второй признак одиночной ошибки (не хранимой в регистре 6) путем суммирования в блоке 26 признака двойной ошибки с выходами 27 блока 33 с признаком одиночной ошибки из регистра 6. Тем самым на соответствующих выходах 40 дешифратора 31 и выходах 43 дешифратора 30 сформируются единичные сигналы, соответствующие ошибочным разрядам. В блоках 38 и 41 произойдет исправление ошибок в считываемом слове. Если считываемое слово было инвертировано в предыдущих тактах работы устройства, то оно будет проинвертировано вновь в регистре 46 единичным сигналом на входе 44 и через блок 48 без изменения поступит на выход 18 устройства. На этом цикл считывания окончен. Нулевой или единичный сигналы на входе 44 регистра 46 указывают на то, каким хранится слово: прямым или инверсным. Для того, чтобы инверсное слово также было кодовым, необходимо, чтобы используемый код содержал слово, состоящее из одних единиц, или чтобы в проверочной матрице кода в приведен-

ном ступенчатом виде все столбцы имели нечетное число единиц.

В качестве примера приведена проверочная матрица удлиненного кода Хемминга (восемь, четыре) с кодовым расстоянием  $d = 4$ , удовлетворяющая этим требованиям:

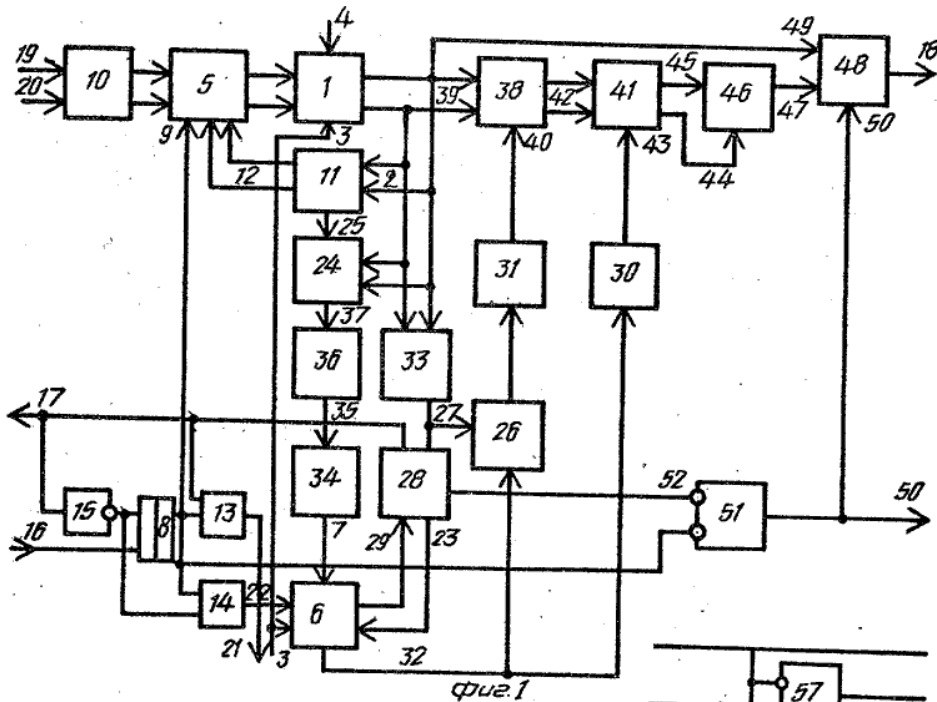
$$H_{8,4} = \begin{pmatrix} 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 \\ 1 & 0 & 1 & 1 & 0 & 1 & 0 & 0 \\ 0 & 1 & 1 & 1 & 0 & 0 & 1 & 0 \\ 1 & 1 & 1 & 0 & 0 & 0 & 0 & 1 \end{pmatrix}$$

Таким образом, предлагаемое устройство выполняет те же функции, что и известное (базовый объект): хранение и выдачу двоичной информации с исправлением всех одиночных и некоторых типов двойных ошибок в кодовых словах. Однако известное устройство в режиме коррекции одиночной ошибки в слове (в режиме считывания информации) заканчивает цикл считывания за одинаковое время, т.е. считываемая информация проходит на выход устройства через все блоки, обрабатывающие слово в этом режиме. В то же время в предлагаемом устройстве при отсутствии ошибок (явление значительно более вероятное, чем наличие ошибок) считываемая информация проходит на выход устройства минуя регистр 6, блок (26) суммирования и дешифратор 31, т.е. линия последовательного прохождения считанной из накопителя 1 информации практически состоит из блоков 38, 41, 46, 48. Параллельная цепь (блоки 33, 28, элемент И 51)

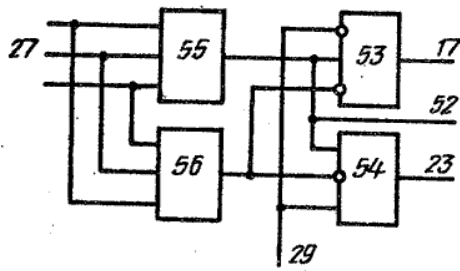
мало влияет на общее быстродействие предлагаемого устройства, так как нужный сигнал на входе 50 блока 48 появляется практически одновременно с информацией на другом его входе 47. Таким образом, в известном устройстве и при отсутствии ошибки, и при ее наличии информация проходит последовательно блоки: 33, 28, 6, 26, 31, 37, 41, 46 - всего восемь блоков, в то время как в предлагаемом - только четыре. Даже такое сопоставление показывает, что в режиме работы без ошибок быстродействие предлагаемого устройства примерно на 50% выше, чем быстродействие известного.

#### Ф о р м у л а и з о б р е т е н и я

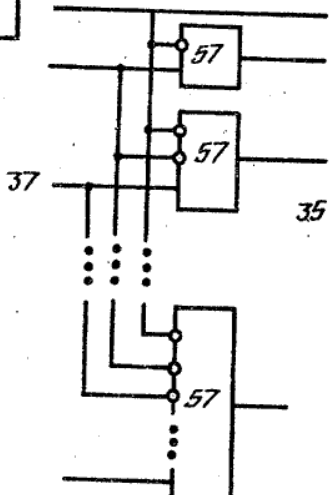
20 Запоминающее устройство с коррекцией информации по авт.св. № 1070610, отличающееся тем, что, с целью повышения быстродействия устройства, оно содержит второй коммутатор и третий элемент И, первый и второй входы которого подключены соответственно к третьему выходу блока обнаружения ошибок и к выходу триггера, выход третьего элемента И является третьим управляющим выходом устройства и подключен к управляемому входу второго коммутатора, первый и второй информационные входы которого подключены соответственно к одному из выходов накопителя и к выходу третьего регистра, выход второго коммутатора является информационным выходом устройства.



фиг.1



фиг.2



фиг.3

Редактор А.Ревин                      Составитель С.Шустенко  
 Техред А.Кравчук                      Корректор М.Максимишинец  
 Заказ 7450/52                      Тираж 589                      Подписное  
 ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5  
 Производственно-полиграфическое предприятие, г.Ужгород, ул. Проектная, 4