



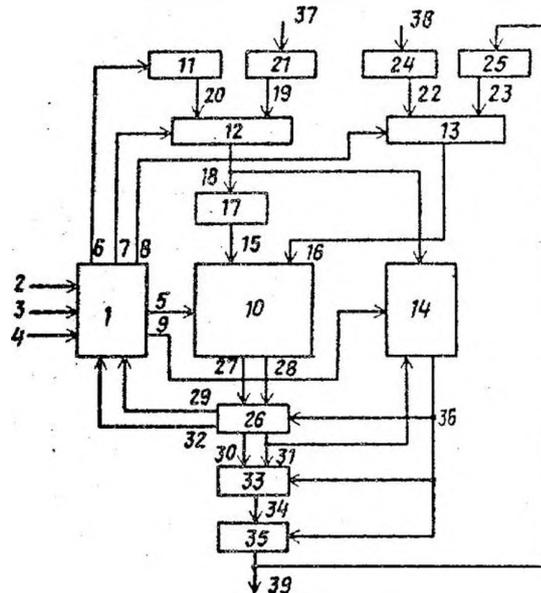
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3981628/24-24
- (22) 25.11.85
- (46) 23.07.87. Бюл. № 27
- (71) Минский радиотехнический институт
- (72) П.П.Урбанович
- (53) 681.327.6(088.8)
- (56) Авторское свидетельство СССР № 760194, кл. G 11 C 29/00, 1980.
Авторское свидетельство СССР № 1133625, кл. G 11 C 29/00, 1985.
- (54) ДИНАМИЧЕСКОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С КОРРЕКЦИЕЙ ОШИБОК
- (57) Изобретение относится к вычислительной технике, в частности к запо-

минающим устройствам, выполненным на полупроводниковых динамических элементах. Целью изобретения является повышение надежности устройства. Устройство содержит блок 1 управления, накопитель 10 данных, счетчик 11, коммутаторы 12, 13, накопитель 14 признаков, дешифратор 17, регистр 21 адреса, блок 24 кодирования, регистр 25, блок 26 обнаружения ошибок и блоки 33 и 35 коррекции ошибок. Устройство выполняет функции хранения информации с коррекцией ошибок в режимах регенерации и считывания информации из накопителя. 1 з.п. ф-лы, 5 ил.



Фиг.1

Изобретение относится к вычислительной технике, в частности к запоминающим устройствам (ЗУ), выполненным на полупроводниковых динамических элементах.

Цель изобретения - повышение надежности устройства.

На фиг.1 изображена структурная схема предлагаемого устройства; на фиг.2 - функциональная схема блока управления; на фиг.3 - схема блока обнаружения ошибок; на фиг.4 - схема первого блока коррекции; на фиг.5 - схема второго блока коррекции.

Устройство (фиг.1) содержит блок 1 управления, синхровход 2, вход 3 обращения, вход 4 режима, выходы 5-9 блока 1 управления, накопитель 10 данных, счетчик 11, коммутаторы 12 и 13, накопитель 14 признаков, адресные входы 15 и информационные входы 16 накопителя 10, дешифратор 17 с входом 18, информационные входы 19 и 20 коммутатора 12, регистр 21 адреса, информационные входы 22 и 23 коммутатора 13, блок 24 кодирования, регистр 25 данных, блок 26 обнаружения ошибок, информационный выход 27, контрольный выход 28 накопителя 10, выходы 29-32 блока 26, блок 33 коррекции ошибок с выходом 34, блок 35 коррекции ошибок, выход 36 накопителя 14, адресный вход 37, информационный вход 38 устройства и информационный выход 39 устройства.

Блок 1 управления (фиг.2) содержит синхронизаторы 40 и 41, элементы И 42-45, элементы ИЛИ 46-49 и триггеры 50 и 51. Positionами 52 и 53 обозначены выходы синхронизатора 40, позицией 54 - выход синхронизатора 41.

Блок 26 обнаружения ошибок содержит (фиг.3) сумматоры 55-57 по модулю два, элементы ИЛИ 58-60 и элементы И 61 и 62.

Блок 33 коррекции ошибки содержит сумматоры 63 и 64 по модулю два и дешифратор 65 (фиг.4).

Блок 35 коррекции ошибок содержит (фиг.5) дешифратор 66 и сумматор 67 по модулю два.

Устройство работает следующим образом.

В режиме записи информации на входы 37 и 38 устройства поступает соответственно адрес ячейки накопителя и подлежащая записи в накопитель информация, в соответствии с которой блок

24 кодирования производит формирование проверочных символов на основании используемого кода. Управляющие сигналы на входах коммутаторов 12 и 13 пропускают на выходы соответственно сигналы с входов 19 и 22. На выходе 53 синхронизатора 40 - единственный сигнал (первый такт работы), в соответствии с которым и на выходе 5 блока 1 управления - сигнал логической единицы, который разрешает запись в накопитель 10 кодового слова с выхода коммутатора 13.

По приходу второго тактового импульса на выходе 53 синхронизатора 40 - нулевой сигнал, что приводит к смене логических состояний на выходах 5, 7 и 8. По адресу, задаваемому счетчиком 11, происходит считывание информации (процесс регенерации). Считанные информационные 27 и контрольные 28 разряды кодового слова поступают на соответствующие входы сумматоров 55 и 56 (фиг.3), формирующие синдром. Если ошибок нет, синдром равен нулю и не равен нулю в противном случае. Если в этих ячейках накопителя 10 нет ошибок, то на выходах 36 накопителя 14 - нулевые сигналы. При появлении первой ошибки она корректируется в блоке 35 инверсией ошибочного разряда. При этом на выходе 29 блока 26 - логическая единица, на выходах 5 и 9 блока 1 - такой же сигнал, что позволяет записать в накопитель 10 скорректированное кодовое слово через регистр 25, а в накопитель 14 - синдром ошибки (при появлении на выходе 52 синхронизатора 40 (фиг.2) единичного сигнала в третьем такте).

Если в считанном из накопителя 10 слове нет ошибок, то содержимое соответствующих ячеек накопителя 14 не изменяется. После этого на выходе 6 блока 1 появляется сигнал логической единицы, который увеличивает содержимое счетчика 11 на единицу. На этом цикл записи окончен.

В режиме считывания информации обращение к нужным ячейкам накопителя 10 осуществляется как и в режиме записи. На входе 4 - нулевой сигнал. На выходах 5 и 9 блока 1 - сигналы, обеспечивающие считывание информации из накопителя 10 и соответствующих ячеек накопителя 14. Если в считанном слове не было и нет ошибок (на

выходах 36 накопителя 14 и 31 блока 26 - нулевые сигналы), считанные из накопителя информационные символы проходят на выходы 39 устройства без изменений. Если в считанном слове появилась первая ошибка, о чем свидетельствует отличный от нуля вектор-синдром на выходах 31 блока 26 и нулевые сигналы на выходах 36 накопителя 14, синдром ошибки дешифрируется в дешифраторе 65 (фиг.4) и таким образом устанавливается местоположение ошибки. В сумматорах 64 ошибка корректируется. При поступлении следующего тактового сигнала скорректированное кодовое слово поступает в регистр 25, а синдром ошибки - на входы накопителя 14. Эта информация по единичным сигналам на выходах 5 и 8 блока 1 записывается по тому же адресу в накопители 10 и 14.

Если в считанном из накопителя слове нет ошибок, а на выходах 36 - сигналы, отличные от нулевого (ошибка из-за сбоя элемента памяти обнаружена и скорректирована при предыдущем обращении к этой ячейке), то изменения информационных символов не происходит, а в соответствующие разряды накопителя 14 записываются нулевые символы.

В случае появления в считанном слове двух ошибок (одна появилась ранее и ее синдром хранится в накопителе 14), одна из ошибок (вторая) корректируется блоком 33, вторая ошибка (возникла по времени ранее) - в блоке 35. При поступлении следующего тактового импульса скорректированное кодовое слово через регистр 25 переписывается по тому же адресу в накопитель.

При отсутствии ошибок в считанном кодовом слове во втором и третьем тактах работы происходит, как и в режиме записи, процесс регенерации информации.

Если обращения к накопителю нет (режим хранения), на шине 3 - нулевой сигнал и в устройстве за два такта (сигналы формируются синхронизатором 41) происходит регенерация (работает счетчик 11) с коррекцией ошибок: первый такт - считывание и коррекция ошибок, второй - запись скорректированного кодового слова в накопитель 10.

Таким образом, предлагаемое устройство выполняет функции хранения информации с коррекцией ошибок в режимах регенерации и считывания информации из накопителя.

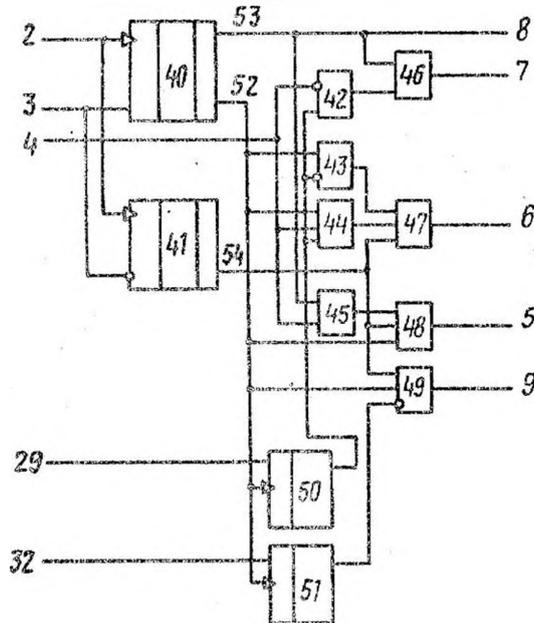
Ф о р м у л а и з о б р е т е н и я

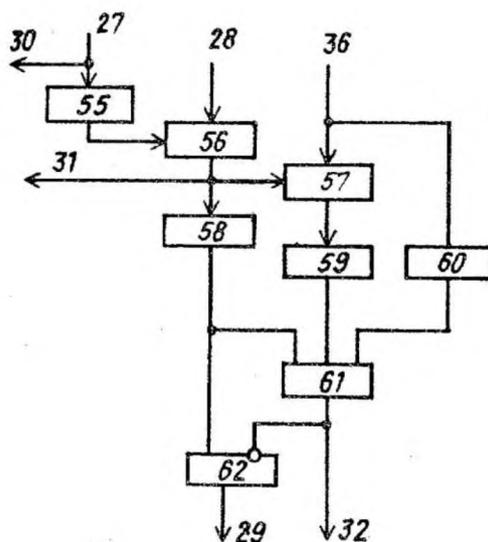
1. Динамическое запоминающее устройство с коррекцией ошибок, содержащее накопитель данных, адресный вход которого подключен к выходу дешифратора, вход которого подключен к выходу первого коммутатора, первый и второй информационные входы которого подключены соответственно к выходу счетчика и выходу регистра адреса, вход которого является адресным входом устройства, информационный вход накопителя данных подключен к выходу второго коммутатора, первый и второй информационные входы которого подключены соответственно к выходу регистра данных и к выходу блока кодирования, вход которого является информационным входом устройства, информационный и контрольный выходы накопителя данных подключены соответственно к первому и второму входам блока обнаружения ошибки, информационный выход и выход вектора ошибки которого подключены соответственно к первому и второму входам первого блока коррекции ошибок, блок управления, первый, второй, третий и четвертый входы которого подключены соответственно к входу режима накопителя данных, к тактовому входу счетчика, к управляющему входу первого коммутатора и к управляющему входу второго коммутатора, первый, второй и третий входы блока управления являются соответственно синхровходом, входом обращения и входом режима устройства, четвертый вход блока управления подключен к выходу одиночной ошибки блока обнаружения ошибки, о т л и ч а ю щ е е с я тем, что, с целью повышения надежности устройства, оно содержит накопитель признаков и второй блок коррекции ошибок, первый вход которого подключен к выходу первого блока коррекции ошибок, выход второго блока коррекции ошибок подключен к входу регистра данных и является информационным выходом устройства, адресный и информационный входы накопителя признаков подключены соответ-

ственно к выходу первого коммутатора и к выходу вектора ошибки блока обнаружения ошибок, информационный выход накопителя признаков подключен к третьему входу блока обнаружения ошибок, выход двойной ошибки которого подключен к пятому входу блока управления, пятый выход которого подключен к входу режима накопителя признаков.

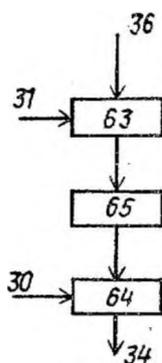
2. Устройство по п.1, отличающееся тем, что блок управления содержит первый и второй синхронизаторы, первый, второй, третий и четвертый элементы И, первый, второй, третий и четвертый элементы ИЛИ и первый и второй триггеры, установочные входы которых являются соответственно четвертым и пятым входами блока управления, тактовый вход первого синхронизатора подключен к тактовому входу второго синхронизатора и является первым входом блока управления, вход управления первого синхронизатора подключен к входу управления второго синхронизатора и является вторым входом блока управления, первый вход первого элемента И подключен к первым входам третьего и четвертого элементов И и является третьим входом блока управления, первый выход первого синхронизатора под-

ключен к второму входу четвертого элемента И и к первому входу первого элемента ИЛИ и является третьим выходом блока управления, второй выход первого синхронизатора подключен к первому входу второго элемента И, к второму входу третьего элемента И, к первым входам третьего и четвертого элементов ИЛИ и к тактовым входам первого и второго триггеров, выход первого триггера подключен к вторым входам первого и второго элементов И и третьему входу третьего элемента И, выход которого подключен к первому входу второго элемента ИЛИ, выход которого является первым выходом блока управления, выход второго синхронизатора подключен к вторым входам второго, третьего и четвертого элементов ИЛИ, третьи входы второго, третьего и четвертого элементов ИЛИ подключены соответственно к выходу второго элемента И, к выходу четвертого элемента И и к выходу второго триггера, выход первого элемента И подключен к второму входу первого элемента ИЛИ, выход которого является вторым выходом блока управления, выходы третьего и четвертого элементов ИЛИ являются соответственно четвертым и пятым выходами блока управления.

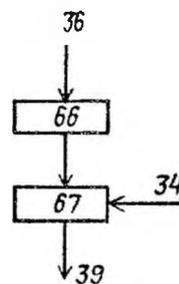




Фиг.3



Фиг.4



Фиг.5

Составитель С. Пустенко
 Редактор Н. Тулица Техред А. Кравчук Корректор Г. Решетник

Заказ 3116/49 Тираж 589 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4