



СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) SU (11) 1336122 A1

(5D) 4 G 11 C 29/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

## ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 4053493/24-24  
(22) 11.04.86  
(46) 07.09.87. Бюл. № 33  
(71) Минский радиотехнический институт  
(72) В.А.Лабунюв, П.П.Урбанович, А.М.Суходольский и Н.И.Урбанович  
(53) 681.327.6 (088,8)  
(56) Авторское свидетельство СССР № 927627, кл. G 11 C 29/00, 1982. Экспресс-информация, Сер. Надежность и контроль качества, 1981, № 25, с. 13-17.  
(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С КОРРЕКЦИЕЙ ОШИБОК  
(57) Изобретение относится к вычислительной технике и может быть использовано при создании запоминающих

устройств повышенной надежности на базе кристаллов памяти с многоуровневой организацией. Целью изобретения является упрощение и повышение надежности устройства. Устройство содержит накопитель, коммутатор, шифратор, первый, второй, третий и четвертый блоки сумматоров по модулю два, первый и второй дешифраторы, элемент ИЛИ и элемент И. В устройстве обеспечивается исправление всех одиночных и двойных, расположенных в соседних парных разрядах (1-2, 3-4 и т.д.), ошибок кодом Хэмминга без введения дополнительной информационной и временной избыточности относительно кода Хэмминга, исправляющего одиночные ошибки. 4 ил.

(19) SU (11) 1336122 A1

Изобретение относится к вычислительной технике и может быть использовано при создании запоминающих устройств повышенной надежности на базе кристаллов памяти с многоуровневой организацией.

Цель изобретения - упрощение и повышение надежности устройства.

На фиг. 1 представлена структурная схема запоминающего устройства с коррекцией ошибок; на фиг. 2 - функциональная схема первого (второго) блока сумматоров по модулю два; на фиг. 3 - функциональная схема третьего блока сумматоров по модулю два; на фиг. 4 - функциональная схема четвертого блока сумматоров по модулю два.

Запоминающее устройство (фиг. 1) содержит накопитель 1 с входами информационных 2 и контрольных 3 разрядов, коммутатор 4, шифратор 5, входы записи считывания 6, выборки 7 и адреса 8, выходы информационных 9 и контрольных 10 разрядов накопителя 1, первый блок 11 сумматоров по модулю два с выходами 13, первый 14 и второй 15 дешифраторы, элемент ИЛИ 16, третий блок 17 сумматоров по модулю два, элемент И 18, четвертый блок 19 сумматоров по модулю два с входами 20 и 21 и выходами 22.

Устройство содержит также блок 23 вывода с синхровходом 24 и выходами 25 и информационный вход 26.

Блок 12 (фиг. 2) состоит из отдельных сумматоров по модулю два по числу проверочных символов кодового слова. Аналогично строится и блок 11, однако число дискретных сумматоров равно количеству информационных символов слова. Блок 17 (фиг. 3) состоит из  $g$  сумматоров по модулю два (по числу проверочных символов).

Блок 19 (фиг. 4) состоит из сумматоров по модулю два (по числу информационных символов). Накопитель 1 состоит из отдельных кристаллов памяти с многоуровневой организацией обращения. Одновременно обращение может производиться к одному либо к нескольким кристаллам (БИС) в зависимости от длины слова и разрядности кристалла.

По входу 6 устройства поступает сигнал, задающий режим функционирования устройства (запись-считывание), по входу 7 - сигнал выборки кристал-

ла (кристаллов), по входу 24 - сигнал, разрешающий использование информации, считанной из накопителя. Все управляющие сигналы связаны с процессором (не показан).

На управляющем выходе 27 устройства единичный сигнал появляется при наличии хотя бы одного ошибочного символа в считанном кодовом слове, на выходе 28 - при наличии двойной ошибки. Такие выходы (их состояние) учитываются лишь в режиме считывания через определенный промежуток времени после начала цикла.

Принцип работы устройства, в особенности принцип коррекции ошибок, основан на свойстве кода Хэмминга, состоящего в том, что для исправления всех одиночных и всех парных двойных ошибок необходимо такое же число проверочных символов, как и для модифицированного кода Хэмминга с кодовым расстоянием, равным "4".

Например, проверочная матрица  $H$  кода при  $K = 8$  имеет вид:

$$H = \begin{pmatrix} 11101001 & 10000 \\ 10011011 & 01000 \\ 01011100 & 00100 \\ 00110111 & 00010 \\ 11100110 & 00001 \end{pmatrix}$$

При  $K = 8$  необходимо  $n+1=5$  проверочных символов. При возникновении одной ошибки синдром имеет нечетный вес (число единиц), а при возникновении двойной - четный.

Устройство работает следующим образом.

Режим работы. На входах 26 - информация, подлежащая записи в накопитель по адресу 8. На основании этого шифратор 5 вырабатывает проверочные символы. Кодовое слово, состоящее из информационных и проверочных битов по входам соответственно 2 и 3 записывается в накопитель 1. На этом цикл записи заканчивается.

Режим считывания. На входе 6 устройств - нулевой сигнал. Считываемые из накопителя информационные и проверочные разряды кодового слова поступают соответственно в блок 11 сумматоров, через коммутатор 4 - шифратор 5 и на вторые входы блока 12 сумматоров, на первые входы которого поступает проверочное число с выходов шифратора 5. Таким образом, на выходах 13 блока 12 формируется синдром, равный нулю лишь при отсутствии ошибок.

Если возникает одиночная ошибка, то на одном из выходов дешифратора 14 появляется единичный сигнал, который в соответствующем сумматоре блока 11 проинвертирует ошибочный бит информации. В этом случае информационное слово проходит через блок 19 без изменений. При появлении двойной ошибки единичный сигнал будет лишь на одном из входов 21 дешифратора 15, который в двух соответствующих сумматорах блока 19 проинвертирует ошибочные биты.

При поступлении на вход 24 соответствующего управляющего сигнала считанные из накопителя информационные символы поступают далее по назначению.

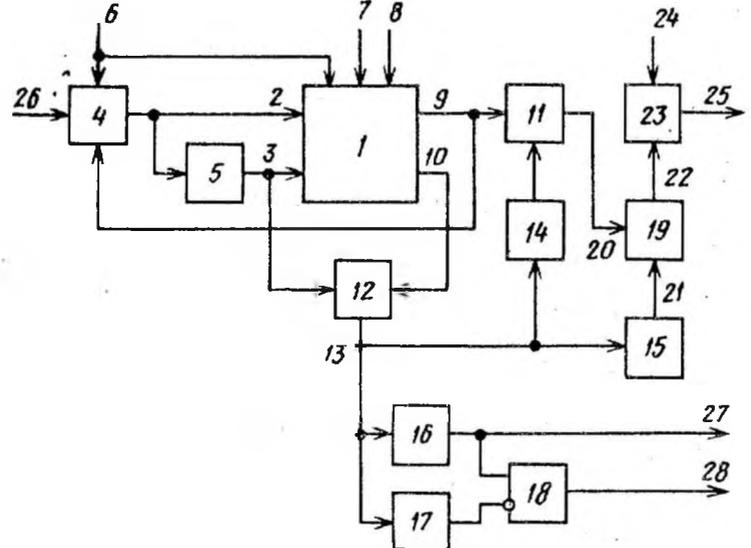
Пр и м е р. В накопитель записывается слово 10110110. В соответствии с этим шифратор 5 вырабатывает проверочные символы (используя матрицу  $H$ ) 01000. Кодовое слово 10110110 01000 записывается в накопитель. Предложим, что первый и второй символы кодового слова являются ошибочными, т.е. считывают слово 01110110 01000. Блоком 12 формируется синдром 01100, в соответствии с чем на выходе 28 устройства формируется единичный сигнал. Такой же сигнал будет и на первом выходе дешифратора 15, который в первом и втором сумматорах блока 19 проинвертирует считанные символы кодового слова. На выходах 25 блока 23 по поступлении единичного сигнала на вход 24 (при отсутствии ошибок либо при появлении корректируемых ошибок) будет исходная информация без ошибок 10110110.

#### Ф о р м у л а и з о б р е т е н и я

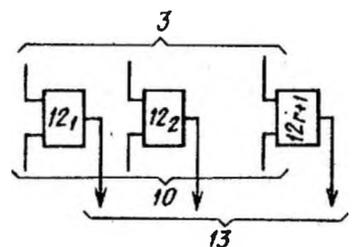
Запоминающее устройство с корректирующей ошибкой, содержащее накопитель, адресные входы и вход выборки кото-

рого являются одноименными входами устройства, вход записи-считывания накопителя является одноименным входом устройства и соединен с управляющим входом коммутатора, информационные входы первой группы которого являются информационными входами устройства, информационные входы второй группы коммутатора подключены к входам первой группы первого блока сумматоров по модулю два и к выходам информационных разрядов накопителя, входы информационных разрядов которого соединены с выходами коммутатора и с входами шифратора, выходы которого подключены к входам контрольных разрядов накопителя и к входам первой группы второго блока сумматоров по модулю два, входы второй группы которого соединены с выходами контрольных разрядов накопителя, а выходы подключены к входам элемента ИЛИ, третьего блока сумматоров по модулю два и первого дешифратора, выходы которого соединены с выходами второй группы первого блока сумматоров по модулю два, выход элемента ИЛИ является выходом одиночной ошибки устройства и подключен к прямому входу элемента И, инверсный вход которого соединен с выходом третьего блока сумматоров по модулю два, а выход является выходом двойной ошибки устройства, о т л и ч а ю щ е е — с я тем, что, с целью упрощения и повышения надежности, в него введены второй дешифратор и четвертый блок сумматоров по модулю два, причем входы второго дешифратора соединены с выходами второго блока сумматоров по модулю два, а выходы подключены к входам первой группы четвертого блока сумматоров по модулю два, входы второй группы которого соединены с выходами первого блока сумматоров по модулю два, а выходы являются информационными выходами устройства.

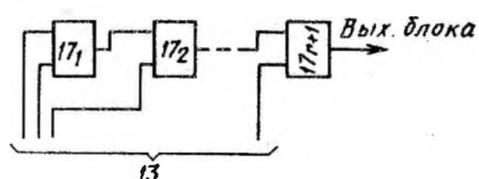
1336122



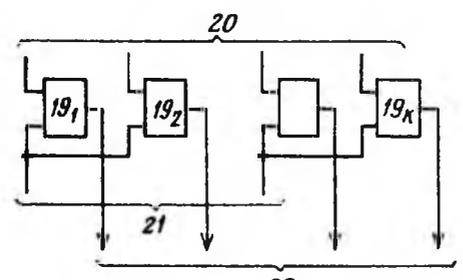
Фиг. 1



Фиг. 2



Фиг. 3



Фиг. 4

Составитель О.Исаев

Редактор А.Козориз      Техред И.Попович      Корректор Н.Король

Заказ 4051/50      Тираж 589      Подписное

ВНИИПИ Государственного комитета СССР  
по делам изобретений и открытий  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г.Ужгород, ул. Проектная, 4