



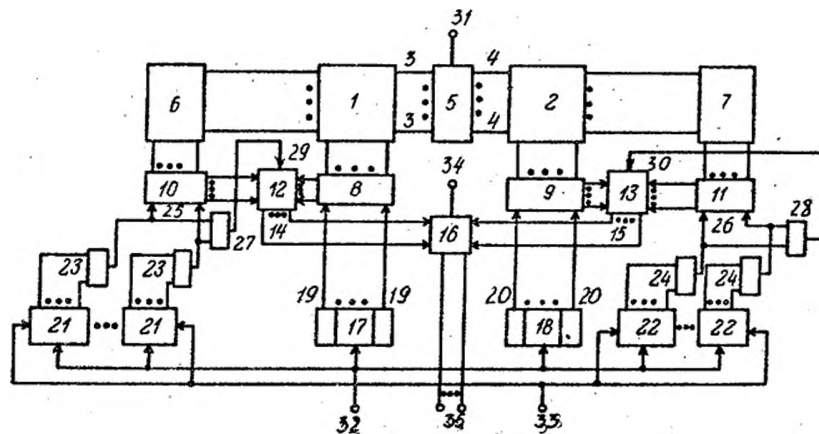
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

## ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 4082473/24-24  
(22) 10.07.86  
(46) 30.12.87. Бюл. № 48  
(71) Минский радиотехнический институт  
(72) В.П.Сидоренко, П.П.Урбанович  
и Ю.А.Южменко  
(53) 681.327.6 (088.8)  
(56) Патент США № 4346459,  
кл. G 11 C 11/40, опублик. 1982.  
Патент США № 4459685,  
кл. G 11 C 11/40, опублик. 1984.

- (54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО  
(57) Изобретение относится к вычислительной технике и может быть использовано при производстве однокристалльных ЗУ постоянного и полупостоянного

типа. Целью изобретения является повышение надежности устройства. Устройство состоит из двух идентичных частей, каждая из которых содержит основные накопители 1 и 2, дополнительные усилители 8,9 считывания, коммутаторы 12,13, дешифраторы 17,18 адресов столбцов, группы блоков 21, 22 сравнения, группы элементов И 23, 24 и элемент ИЛИ 27. Числовые шины основных накопителей каждой части соединены с выходами дешифратора адреса строк, выдача информации осуществляется через блок вывода. Повышение надежности устройства осуществляется за счет независимой замены дефектных столбцов в каждой из частей запоминающего устройства. 2 ил.



Фиг. 1

Изобретение относится к вычислительной технике и может быть использовано при производстве однокристалльных ЗУ постоянного и полупостоянного типа.

Целью изобретения является повышение надежности устройства.

На фиг.1 приведена схема запоминающего устройства; на фиг.2 - схема блока сравнения.

Запоминающее устройство (фиг.1) содержит первый 1 и второй 2 основные накопители, числовые шины 3 и 4 которых соединены с выходами дешифратора 5 адреса строк и числовыми шинами первого 6 и второго 7 дополнительных накопителей. Разрядные шины накопителей 1,2,6 и 7 подключены соответственно к первым 8 и вторым 9 основным усилителям группы и к первым 10 и вторым 11 дополнительным усилителям группы.

Устройство содержит также первый 12 и второй 13 коммутаторы, выходы 14 и 15 которых соединены с соответствующими входами блока 16 вывода, первый 17 и второй 18 дешифраторы адреса столбцов с выходами 19 и 20, первые 21 и вторые 22 группы блоков сравнения, выходы которых соединены соответственно с входами первой 23 и второй 24 группы элементов И, входы 25 и 26 которых связаны с входами соответственно первого элемента ИЛИ 27, управляющими входами первых 10 дополнительных усилителей группы и с входами второго элемента ИЛИ 28, управляющими входами вторых 11 дополнительных усилителей группы.

На фиг.1 также показаны управляющие входы 29 и 30 коммутаторов 12 и 13, входы 31 адреса строки, входы 32 адреса столбца, вход 33 выборки, вход 34 управления программированием и информационные выходы 35.

Блок сравнения (фиг.2) содержит пережигаемые перемычки 36 и транзисторные ключи 37. Таким же образом строятся остальные блоки из первых 21 и вторых 22 групп блоков. Каждый такой блок оперирует адресом одного дефектного столбца, расположенного в накопителе 1 (блок 21) либо 2 (блок 22). Принцип работы ключей состоит в формировании высокого уровня сигнала при совпадении соответствующего разряда кода адреса опрашиваемого столбца с

состоянием перемычки: пережжена - не пережжена.

Накопители 1,2,6 и 7 представляют собой матрицы запоминающих элементов. Усилители 8-11 считывания предназначены для считывания информации из опрашиваемых элементов накопителей. Дешифраторы 17 и 18 состоят из нескольких одинаковых дешифраторов, (их количество равно половине одновременно считываемых символов).

Запоминающее устройство работает следующим образом.

Информационная емкость накопителей 1 и 2 одинакова, а их сумма составляет информационную емкость ЗУ. Если принять, что одновременно опрашиваются  $n$  элементов накопителей, то число опрашиваемых элементов в накопителях 1 и 2 соответствует  $n/2$ .

Адреса дефектных столбцов определяются при обычном функциональном контроле ЗУ. При обнаружении одного или нескольких одноименно опрашиваемых столбцов в соответствующем накопителе (1 или 2) адрес этого столбца запоминается в первом блоке 21 или 22. При одновременном появлении дефектов в одноименных столбцах накопителей 1 и 2 адреса столбцов фиксируются отдельно в одном из блоков 21 и в соответствующем блоке 22 (практика показывает, что вероятность такого события ничтожна по сравнению с вероятностью появления одиночных дефектов). Информация в накопителе 1 и 2 заносится в соответствии с назначением устройства (ПЗУ,ППЗУ, и др.) и принципом хранения информации. Пережигание перемычек в соответствующих блоках 21 и 22 осуществляется подачей необходимых напряжений на входы 33 устройства

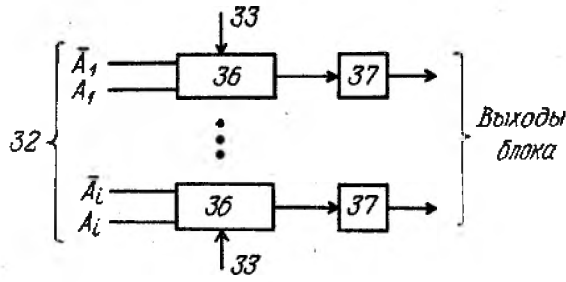
Если адрес 31 опрашиваемого столбца, расположенного в накопителе 1 (2), совпадает с адресом, хранящемся в одном из блоков 21 (22), то на выходе соответствующего элемента И 23 (24) присутствует уровень "1", такой же уровень устанавливается и на выходе элемента ИЛИ 27 (28); этот сигнал коммутирует на вход блока 16 через коммутатор 12 (13) биты информации, считанные не усилителями 8 (9), а усилителями 10 (11). Таким образом, на выходе будет правильная информация. Единичный сигнал на шине 29(30)

может заблокировать считывание информации усилителями 8 (9).

Ф о р м у л а и з о б р е т е н и я

Запоминающее устройство, содержащее первый и второй основные накопители, числовые входы которых соединены с соответствующими выходами дешифратора адреса строк, входы которого являются входами адреса строки устройства, числовые выходы первого и второго основных накопителей подключены к числовым входам соответственно первого и второго дополнительных накопителей, разрядные выходы первого и второго основных накопителей соединены с одноименными входами основных усилителей первой и второй групп, управляющие входы которых подключены к выходам первого и второго дешифраторов адреса столбцов, входы которых являются входами адреса столбца устройства, разрядные выходы первого и второго дополнительных накопителей соединены с одноименными входами дополнительных усилителей первой и второй групп соответственно, выходы которых подключены к информационным входам первых групп первого и второго коммутаторов соответственно, информационные входы вторых групп которых соединены с выходами основных усилителей первой и второй групп соответственно, выходы

первого и второго коммутаторов подключены к соответствующим информационным входам блока вывода, выходы и управляющий вход которого являются соответственно информационными выходами и входом выборки устройства, управляющий вход первого коммутатора соединен с выходом первого элемента ИЛИ, входы которого подключены к управляющим входам дополнительных усилителей первой группы и к выходам элементов И первой группы, входы которых подключены к выходам соответствующих блоков сравнения первой группы, информационные входы которых соединены с входами адреса столбца устройства, а управляющий вход подключен к входу управления программированием устройства, о т л и ч а ю щ е с я т е м , что, с целью повышения надежности устройства, в него введены второй элемент ИЛИ, вторая группа элементов И и вторая группа блоков сравнения, причем управляющий вход второго коммутатора подключен к выходу второго элемента ИЛИ, входы которого соединены с выходами элементов И второй группы, входы которых подключены к выходам соответствующих блоков сравнения второй группы, информационные и управляющие входы которых соединены соответственно с входами адреса столбца и с входом управления программированием устройства.



Фиг. 2

Составитель О.Исаев  
 Редактор Л.Веселовская Техред Л.Олейник Корректор А.Зимокосов  
 Заказ 6369/45 Тираж 588 Подписное  
 ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д.4/5  
 Производственно-полиграфическое предприятие, г.Ужгород, ул.Проектная,4