



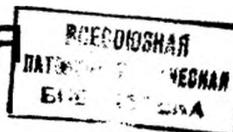
СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) **SU** (11) **1547077** **A1**

(51)5 Н 03 М 13/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГИИТ СССР

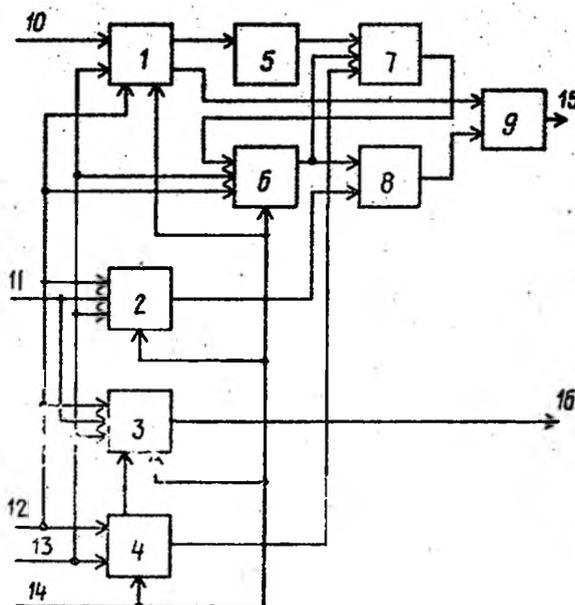
**ОПИСАНИЕ ИЗОБРЕТЕНИЯ**  
**К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ**



- (21) 4313012/24-24
- (22) 24.07.87
- (46) 28.02.90. Бюл. № 8
- (71) Минский радиотехнический институт
- (72) А.В.Варвашеня и П.П.Урбанович
- (53) 621.394.14(088.8)
- (56) Авторское свидетельство СССР № 1156260, кл. Н 03 М 13/00, 1985.  
Авторское свидетельство СССР № 1399893, кл. Н 03 М 13/00, 1986.

(54) УСТРОЙСТВО ДЛЯ ИСПРАВЛЕНИЯ СТИРАНИЙ  
(57) Изобретение относится к технике

2  
связи и может быть использовано в системах приема цифровой информации в каналах связи со стиранием символа. Целью изобретения является повышение надежности и быстродействия устройства. Устройство содержит приемный регистр 1, регистр 2 стираний, счетчик 3 стираний, счетчик 4 тактов, сумматор 5 по модулю два, регистр 6 сдвига, коммутатор 7, элемент И 8, элемент ИЛИ 9, первый и второй информационные входы 10 и 11, тактовый вход 12, входы 13 и 14 обнуления и пуска, информационный и контрольный выходы 15 и 16. 1 ил.



(19) **SU** (11) **1547077** **A1**

Изобретение относится к технике связи и может быть использовано в системах приема цифровой информации в каналах связи со стиранием символов.

Целью изобретения является повышение надежности и быстродействия устройства.

На чертеже представлена функциональная схема устройства.

Устройство содержит приемный регистр 1, регистр 2 стираний, счетчик 3 стираний, счетчик 4 тактов, сумматор 5 по модулю два, регистр 6 сдвига, коммутатор 7, элемент И 8, элемент ИЛИ 9, первый и второй информационные входы 10 и 11, тактовый вход 12, входы 13 и 14 обнуления и пуска устройства, информационный и контрольный выходы 15 и 16 устройства.

Устройство работает следующим образом.

По сигналу "Пуск" за  $n$  тактов через входы 10 и 11 в приемный регистр 1 и регистр 2 стирания записываются соответственно  $n$ -разрядное принятое сообщение, в котором стерты символы заменены на нулевые, и вектор ошибок (в дальнейшем полагаем, что число стираний не больше заданного, т.е. все ошибки исправляются, в противном случае - по единичному сигналу на выход 15 информация с выхода 14 устройства не используется). При этом, начиная с  $K+1$ -го такта, на втором выходе счетчика 4 тактов появляется уровень логической единицы, по которому через коммутатор 7 в регистр 6 поступает информация с выхода сумматора 5, который, начиная с этого момента, осуществляет вычисление значений стертых символов в соответствии с уравнениями:

$$\begin{aligned} a_{k+1} &= a_1 + a_{1+2} + a_{1+2r} + \dots \\ a_{k+2} &= a_2 + a_{2+r} + a_{2+2r} + \dots \\ &\dots \dots \dots (1) \\ a_n &= a_r + a_{2r} + a_{3r} + \dots \end{aligned}$$

Вычисление этих значений производится следующим образом.

С приходом  $K+1$ -го тактового импульса в приемном регистре в ячейках  $1, 1+r, 1+2r, \dots$  будут находиться соответственно  $1, 1+r, 1+2r, \dots$  символы принятого сообщения. Если они приняты правильно или стертый символ, заме-

ненный на ноль был также нулевым, то сумма этих символов по модулю два в соответствии с первым уравнением системы (1) даст ноль. Если же был стерт единичный символ, то и сумма символов по модулю два будет равна единице. При подаче  $K+2$ -го тактового импульса в этих ячейках будут находиться символы, входящие во второе уравнение системы (1),  $K+3$ -го - в третье и т.д. Таким образом, к моменту приема всех  $n$  символов принятого сообщения произойдет вычисление значений стертых символов, входящих во все уравнения системы (1). Эти значения будут записаны в регистр 6, число ячеек которого определяется числом проверочных символов. После того, как в приемном регистре 1 будет записано принятое сообщение, в регистре 2 стираний - вектор ошибок, а в регистре 6 - вычисление значения стертых символов, принятая информация поступит на выход 15 устройства через элемент ИЛИ 9 из последней  $n$ -й ячейки приемного регистра 1. При этом по нулевому сигналу на втором выходе счетчика 4 тактов к входу регистра 6 будет подключен его выход через коммутатор 7. Исправление ошибок происходит следующим образом. Из системы уравнений (1) видно, что в каждое из уравнений входят символы, отстоящие друг от друга в кодовом слове на  $r$  позиций. На выходе регистра 6 значения стертых символов появляются через  $r$  тактов (т.е. значение стертого символа, входящего в первое уравнение, появляется на выходе регистра 6 на  $1, 1+r, 1+2r, \dots$  тактах значение стертого символа, входящего во второе уравнение - на  $2, 2+r, 2+2r$  и т.д., во время которых на выходе приемного регистра 1 будут находиться символы, входящие в это уравнение. Необходимо отметить, что способ записи символов в регистр 6 и организация самого регистра автоматически обеспечивает соответствие символа на выходе приемного регистра 1 уравнению, для которого вычислено значение стертого символа, находящегося на выходе дополнительного регистра 6. При совпадении единичного сигнала на выходе дополнительного регистра 6 (который показывает, что необходимо заменить нулевой символ, вставленный на место стертого) и единичного сигнала на вы-

ходе регистра 2 стираний (который по-казывает, что на втором выходе регистра 1 находится символ, который был стерт) на выходе элемента И 8 появится единичный сигнал, поступающий на второй вход элемента ИЛИ 9. Таким образом, произойдет исправление ошибки нулевого символа, вставленного на место стертых единичных символов. Если же на выходе элемента И 8 будет ноль, то информация будет проходить на выход 15 устройства с второго выхода приемного регистра 1 через элемент ИЛИ 9 без изменений.

П р и м е р. Передавали 8-разрядное информационное слово: 11001100, к которому в соответствии с (1) были добавлены следующие четыре  $r=4$  проверочных символа (исправляются 4 ошибки):

$$a_9 = a_1 \oplus a_5 = 1 \oplus 1 = 0;$$

$$a_{10} = a_2 \oplus a_6 = 1 \oplus 1 = 0;$$

$$a_{11} = a_3 \oplus a_7 = 0 \oplus 0 = 0;$$

$$a_{12} = a_4 \oplus a_8 = 0 \oplus 0 = 0.$$

На приемной стороне разряды 2-5 оказались стертymi, т.е. в приемный регистр 1 записалось слово 100001000000 (на место стираний вставлены нули, подчеркнуты), а в регистр 2 стираний - 011110000000. При суммировании на 9-м такте значений символов, записанных в 1-й, 5-й и 9-й ячейках, получим  $1(1+0+0)$ , на 10-м такте (произошел сдвиг на один разряд справа налево) -  $1(0+1+0)$ , на 11-м (еще сдвиг на 1 разряд) и на 12-м - 0. Вычисленные значения будут записаны в регистре 6 (1100). При поступлении принятого сообщения на информационный выход 15 устройства через элемент ИЛИ 9 инвертируются второй и пятый нулевые символы, так как при поступлении их на первый вход элемента И ИЛИ 9 на второй вход поступит единичный сигнал с выхода элемента И 8, на входы которого в эти моменты будут поступать единичные сигналы с выходов регистра 2 стираний и регистра 6. Таким образом, на информацион-

ном выходе 15 устройства будет получено сообщение 110011000000, точно соответствующее переданному.

### 5 Ф о р м у л а и з о б р е т е н и я

Устройство для исправления стираний, содержащее приемный регистр, первый вход которого является первым информационным входом устройства, регистр стираний, первый вход которого объединен с первым входом счетчика стираний и является вторым информационным входом устройства, второй вход приемного регистра объединен с вторыми входами регистра стираний счетчика стираний и первым входом счетчика тактов и является тактовым входом устройства, третий вход приемного регистра объединен с третьими входами регистра стираний и счетчика стираний и вторым входом счетчика тактов и является входом обнуления устройства, четвертый вход приемного регистра объединен с четвертыми входами регистра стираний и счетчика стираний и третьим входом счетчика тактов и является входом пуска устройства, первый выход счетчика тактов соединен с пятым входом счетчика стираний, выход которого является контрольным выходом устройства, сумматор по модулю два, элемент И, элемент ИЛИ, отличающиеся тем, что, с целью повышения надежности и быстродействия устройства, в него введены коммутатор и регистр сдвига, первые выходы приемного регистра соединены с соответствующими входами сумматора по модулю два, выход которого соединен с первым входом коммутатора, выход которого соединен с вторым входом коммутатора и первым входом элемента И, второй вход которого соединен с выходом регистра стираний, выход счетчика тактов соединен с третьим входом коммутатора, второй выход приемного регистра и выход элемента И соединены с соответствующими входами элемента ИЛИ, выход которого является информационным выходом устройства, второй, третий и четвертый входы регистра сдвига объединены с одноименными входами приемного регистра.