



СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) SU (11) 1837363 A1

(51)S G 11 C 29/00

ГОСУДАРСТВЕННОЕ ПАТЕНТНОЕ  
ВЕДОМСТВО СССР  
(ГОСПАТЕНТ СССР)

## ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

(21) 4934082/24  
(22) 06.05.91  
(46) 30.08.93. Бюл. № 32  
(71) Минский радиотехнический институт

(72) П.П.Урбанович, Н.И.Урбанович  
и Т.В.Шукевич

(56) Авторское свидетельство СССР  
№ 433542, кл. G 11 C 29/00, 1974.

Авторское свидетельство СССР  
№ 1048520, кл. G 11 C 29/00, 1983.

(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С  
АВТОНОМНЫМ КОНТРОЛЕМ

Изобретение относится к вычислительной технике и может быть использовано при создании систем памяти с повышенной функциональной надежностью.

Целью изобретения является повышение быстродействия устройства.

На фиг. 1 изображена структурная схема предлагаемого запоминающего устройства с автономным контролем; на фиг. 2 - структурная схема блока управления; на фиг. 3 - сумматор по модулю два; на фиг. 4 - схема блока сравнения; на фиг. 5 - схема блока декодирования; на фиг. 6 - схема счетчика; на фиг. 7 - пример построения проверочной матрицы согласующих кодовых слов; на фиг. 8 - алгоритм работы устройства.

Устройство (фиг. 1) содержит оперативный накопитель 1, входы первой группы 2 которого соединены с входами первой группы первого сумматора по модулю два 3, информационные входы первой группы 4 и второй группы 5 накопителя 1 связаны соот-

2

(57) Изобретение относится к вычислительной технике и может быть использовано при создании полупроводниковых запоминающих устройств с повышенной функциональной надежностью. Целью изобретения является повышение быстродействия устройства. Запоминающее устройство с автономным контролем содержит оперативный и постоянный накопители, блок управления, блок кодирования, блок декодирования, первый и второй переключатели, мультиплексор, с первого по третий блоки сравнения, счетчик, первый и второй сумматоры по модулю два, с первого по третий регистры, с первого по третий элементы И, 8 ил.

ветственно с выходами первого 6 и второго 7 переключателей, входы первой группы переключателя 6 подключены к инверсным выходам первого регистра 8 (управляющий вход регистра не показан), входы второй группы переключателя 6 подключены к инверсным выходам второго сумматора по модулю два 9, входы второй группы которого связаны с выходами постоянного накопителя 10, входами второй группы первого сумматора по модулю два 3, первого 11 и второго 12 элементов И, входы первой группы второго сумматора по модулю два 9 подключены к прямым выходам первого регистра 8, входы которого соединены с выходами блока 13 кодирования, входами подключенного к информационным входам 14 устройства.

Выходы второй группы 15 оперативного накопителя 1 подключены к информационным входам первой группы мультиплексора 16, информационные входы второй группы

(19) SU (11) 1837363 A1

которого соединены с выходами счетчика 17 и входами первой группы второго переключателя 7. Управляющий вход мультиплексора подключен к управляющему входу устройства, а его выходы – к адресным входам постоянного накопителя 10. Первый 18 и второй 19 управляющие входы накопителя связаны соответственно с вторым 20 и третьим 21 выходами блока управления 22, первый вход и первый выход которого подключен соответственно к управляющим входу 23 и выходу 24 устройства. Четвертый выход 25 блока 22 соединен с управляющим входом первого переключателя 6, второй вход 26 блока – с вторым выходом первого блока сравнения 27, первые входы которого соединены с информационными входами второго 28 и третьего 29 регистров. Информационные входы первой и второй групп первого блока сравнения 27 подключены соответственно к выходам первого переключателя 6 и выходам оперативного накопителя 1. Пятый 30 и шестой 31 выходы блока управления 22 связаны соответственно с первыми и вторыми входами счетчика 17, седьмой 32, восьмой 33, девятый 34 и десятый 35 выходы блока – с управляющими входами соответственно второго регистра 28, третьего регистра 29, постоянного накопителя 10 и второго переключателя 7, выходы регистров 28 и 29 подключены соответственно к входам первой группы первого элемента И 11, второго блока сравнения 36 и второго элемента И 12, третьего блока сравнения 37. Выходы элементов И 11, 12 связаны с входами второй группы соответственно блоков сравнения 36 и 37, выходами соединенных с входами третьего элемента И 38, выход которого подключен к третьему входу 39 блока управления 22, управляющие входы первого сумматора 3 и блока декодирования 40 подключены к управляющему входу 23 устройства. Входы блока декодирования 40 соединены с выходами первого сумматора 3, устройство содержит также адресные входы 41, соединенные с адресными входами накопителя 1, и информационные выходы 42, соединенные с выходами блока декодирования.

Блок 22 управления (фиг. 2) построен на основе машинного синтеза автомата Мили в соответствии с назначением входов и выходов блока и алгоритма работы устройства (см. ниже) по известному методу. Блок 22 состоит из ПЛМ 43, регистра 44, первого 45 и второго 46 постоянных накопителей. Одни входы ПЛМ 43 соединены со входами 23, 26, 39 блока 22. Входы 47, 48, 49 ПЛМ – с выходами регистра 44, третий вход 50 ПЛМ 43 через элемент ИЛИ 51 соединен с первым

входом 23 блока 22. Выходы 52, 53, 54, 55 ПЛМ подключены к входам первого 45 и второго 46 постоянных накопителей. Выходы накопителя 45 и первый выход накопителя 46 соединены с первым десятым выходами блока управления 22. Другие выходы 56–58 накопителя 46 связаны с входами регистра 44, синхронизация работы которого производится известными методами.

Сумматор 3 по модулю два (фиг. 3) состоит из сумматоров 59 и вентиля 60.

Блок сравнения состоит (фиг. 4) из сумматоров по модулю два 61 и вентиля 62. Аналогичным образом могут быть построены блоки 9, 36, 37.

Блок 13 кодирования состоит из сумматоров по модулю два и производит вычисление проверочных соотношений кода Хемминга. Блок 40 декодирования (фиг. 5) состоит из блока 63 кодирования, аналогичного блоку 13, блока 64 вычисления синдрома, дешифратора 65, определяющего местоположение ошибок, блока 66 коррекции. На входы блока 63 поступают информационные (R) символы с выходом блока 3, а на выходах блока 63 – вновь сформированные проверочные разряды кодового слова, которые в блоке 64 сравниваются (как на фиг. 4) с проверочными битами, поступающими с блока 3. Блок коррекции 66 построен так же, как и блок 3.

На фиг. 6 приведена схема счетчика 17, который может состоять из собственно стандартного счетчика 67, первого 68 и второго 69 элементов И, элемента ИЛИ 70, триггера 71, элемента задержки 72, генератора 73.

Переключатели 6 и 7 могут представить собой обычные вентили.

На фиг. 7 обозначены номера 74 согласующих кодовых слоев и контрольные разряды 75 при 23-х информационных и 5-ти контрольных разрядах.

Устройство работает следующим образом (фиг. 8). При включении питания происходит начальная установка всех элементов устройства. В цикле записи информационные разряды поступают по входам 14 в блок 13 кодирования который формирует r проверочных символов линейного кода. Кодовое слово, состоящее из n символов ( $n=k+r$ ), через прямые выходы регистра 8, сумматор по модулю два 9 и переключатель 6 записывается в накопитель 1 по входам 4. Запись производится по адресу, поступающему на входы 41 накопителя по сигналу на управляющем входе 18 накопителя 1. Сигнал на выходе 20 блока управления 22 вырабатывается по приходу импульса "Запись"

на управляющий вход 23 устройства. Таким образом, в накопитель 1 запишется первичное кодовое слово. Затем производится контрольное считывание этого слова по выходам накопителя 1: операция "разрешается" сигналом на входе 19 накопителя 1, этот сигнал поступает с выхода 21 блока управления 22. Блок сравнения 27 определяет соответствие записываемого кодового слова считанному. Первое поступает на входы блока 27 с выхода переключателя 6. При равенстве кодовых слов отсутствует сигнал "Ошибка" на одном из выходов блока 27; при этом блок 22 вырабатывает сигнал "Готовность" по выходу 24, что означает возможность обработки (записи или считывания) следующего кодового слова.

Если считанное и записываемое слова не совпадают хотя бы в одном разряде, блок 27 вырабатывает сигнал "Ошибка", поступающий на вход 26 блока управления 22, а поразрядная сумма по модулю два этих кодовых слов — на входы регистров 28 и 29. Блок 22 вырабатывает сигнал "Запись" по выходу 20, сигнал "Прямой/инверсный" — по выходу 25, сигнал разрешения занесения информации в регистр 28 — по выходу 32. В результате этого в выбранную ячейку накопителя 1 по входам 4 через переключатель 6 запишется инверсное кодовое слово; это же слово поступит в блок сравнения 27. Далее производится контрольное считывание инверсного кодового слова и сравнение его в блоке 27 с записываемым. При отсутствии сигнала "Ошибка" на выходе блока 27 через переключатель 7 в накопитель 1 (по тому же адресу) записывается значение адреса такого согласующего слова (все разряды которого соответствуют "1"), что при чтении позволит установить, что слово было инвертировано в режиме записи (код адреса этого слова постоянно находится на выходах второй группы переключателя 7). Затем вырабатывается сигнал "Готовность".

Согласующие кодовые слова записаны в постоянный накопитель 10 в виде проверочной матрицы, соответствующей линейному коду (Хэмминга, например). Все строки матрицы являются кодовыми словами линейного кода, а номера всех кодовых слов различны.

Если на выходе блока 27 вырабатывается сигнал "Ошибка", он поступает на вход 26 блока управления, блок 22 формирует сигнал по выходу 33, разрешающий запись информации из блока 27, в регистр 29, сигнал по выходу 34, разрешающий чтение кодового слова из накопителя 10 по адресу, вырабатываемому счетчиком 17 при поступлении на его вход сигнала "Пуск счетчика" с выхода 31 блока 22. Под воздействием этих

сигналов постоянный накопитель 10 последовательно выдает кодовые слова, которые поступают на входы второй группы элементов И 11, 12. Этими элементами, а также блоками 36 и 37, элементом И 38 производится поиск такого согласующего кодового слова, чтобы при записи в дефектную ячейку накопителя 1 суммы по модулю два первичного кодового слова с согласующим словом не возникали ошибки. Если такое согласующее слово найдено, то с выхода элемента И 38 на вход 32 блока поступает единичный сигнал, под воздействием которого блок 22 вырабатывает по выходу 30 сигнал "Стоп" счетчика 17, по выходу 20 — сигнал "Запись" в накопитель 1, а по выходу 25 — сигнал, разрешающий запись суммы прямого и согласующего кодовых слов, поступает в переключатель 6 и далее — в соответствующую ячейку памяти накопителя 1.

Если согласующее кодовое слово не найдено, т.е. счетчик перебрал все адреса, то (согласно фиг.8) после получения адреса последнего согласующего кодового слова счетчик 17 установится в нулевое состояние. Процессором или другим внешним устройством (на фиг. не показаны) будет зафиксированы наличие неисправимой ошибки. Внешними сигналами устанавливается новый цикл обращения к памяти.

В цикле считывания информации символы с выходов 2 накопителя 1 поступают в сумматор 3. Кроме того, с выходов 15 накопителя 1 на информационные входы первой группы мультиплексора 16 поступает номер согласующего кодового слова, являющийся адресом постоянного накопителя 10. На выходе 34 блока 22 вырабатывается сигнал, разрешающий считывание из накопителя 10. Согласующее кодовое слово с выходов накопителя 10 поступает на входы сумматора 3; происходит поразрядное сложение его с информационным кодовым словом, считанным из накопителя 1. При этом восстанавливается исходное информационное слово. Если в этом слове имеется ошибка, которая возникла между двумя последними обращениями к данной ячейке, то такая ошибка будет исправлена блоком декодирования 40. На выходах 42 устройства будет исходное информационное слово без ошибок. Через время, необходимое для выполнения указанных операций, вырабатывается сигнал "Готовность".

Таким образом в предлагаемом устройстве с автономным контролем исправляется такое же число ошибок в информации, как и в известном. Проверочные матрицы формирования согласующих кодовых слов в обоих устройствах идентичны. Однако длитель-

ность цикла записи в предлагаемом устройстве меньше, чем в известном. Действительно, в известном устройстве (прототип) время, необходимое для записи в накопитель информации с учетом имеющихся неисправностей ЭП опрашиваемой ячейки, состоит из временных отрезков определяемых:

формированием кодового слова (первичного) и его записью в накопитель 1;

считыванием первичного кодового слова из накопителя 1 и обнаружением несогласованных ошибок,

поиском согласующего кодового слова, записью в накопитель 1 инверсного кодового слова, считыванием инверсного кодового слова из накопителя 1 и поиском согласованных (по отношению к первичному кодовому слову) ошибок;

поиском нового согласующего кодового слова,

формированием окончательного кодового слова с учетом согласованных и несогласованных ошибок,

окончательной записью в оперативный накопитель 1 кодового слова, формирование которого отмечено п.ж.

В предлагаемом устройстве максимальная длительность цикла записи сокращена за счет того, что согласующее кодовое слово формируется один раз: после того, как установлено местоположение согласованных и несогласованных ошибок в первичном кодовом слове. В предлагаемом устройстве производится лишь обнаружение согласованных и несогласованных ошибок в считываемых из накопителя кодовых словах. Определение логического состояния дефектных (отказавших) ЭП в ячейке накопителя достаточно для формирования окончательного кодового слова. За счет этого увеличивается быстродействие устройства и, кроме того, сокращаются аппаратные затраты на реализацию избыточной части устройства. Оценка показывает, что быстродействие предлагаемого устройства на 15-20% выше, чем быстродействие.

#### Ф о р м у л а   и з о б р е т е н и я

Запоминающее устройство с автономным контролем, содержащее оперативный накопитель, блок управления, блок кодирования, блок декодирования, первый и второй переключатели, мультиплексор, с первого по третий блоки сравнения, постоянный накопитель, счетчик, первый и второй сумматоры по модулю два, с первого по третий регистры, с первого по третий элементы И, причем входы первой группы первого сумматора по модулю два и первого

блока сравнения соответственно объединены и соединены с соответствующими выходами первой группы оперативного накопителя, выходы второй группы которого соединены с информационными входами первой группы мультиплексора, информационные входы второй группы которого соединены с выходами счетчика, управляющие входы мультиплексора, первого сумматора по модулю два, блока декодирования и первый вход блока управления объединены и являются управляющим входом устройства, управляющим выходом которого является первый выход блока управления, второй и третий выходы которого соединены соответственно с первым и вторым управляющими входами оперативного накопителя, адресные входы которого являются адресными входами устройства, информационные входы первой группы оперативного накопителя и информационные входы второй группы первого блока сравнения соответственно объединены и подключены к выходам первого переключателя, входы первой группы которого соединены с соответствующими инверсными выходами первого регистра, прямые входы которого соответственно соединены с входами первой группы второго сумматора по модулю два, входы второй группы первого сумматора по модулю два соответственно объединены и подключены к выходам постоянного накопителя, адресные входы которого соединены с соответствующими выходами мультиплексора, вход первого регистра подключен к выходу блока кодирования, входы которого являются информационными входами устройства, информационными выходами которого являются выходы блока декодирования, информационные входы которого соединены с соответствующими выходами первого сумматора по модулю два, выходы второго сумматора по модулю два соединены с соответствующими входами второй группы первого переключателя, управляющий вход которого соединен с четвертым выходом блока управления, пятый и шестой выходы которого подключены соответственно к первому и второму входам счетчика, седьмой, восьмой и девятый выходы блока управления подключены соответственно к управляющим входам второго и третьего регистров и постоянного накопителя, информационные входы второго и третьего регистров объединены и подключены к первому выходу первого блока сравнения, второй выход которого соединен с вторым входом блока управления, о т л и ч а ю щ е с я   т е м ,   ч т о ,   с   ц е л ь ю   п о в ы ш е н и я

ния быстродействия устройства за счет сокращения временных потерь в избыточных цепях, десятый выход блока управления соединен с управляющим входом второго переключателя, входы первой группы которого соединены с соответствующими выходами счетчика, входы второй группы второго переключателя являются входами логической "1" устройства, выходы второго переключателя соединены с информационными входами второй группы оперативного накопителя, входы первой группы первого элемента И и второго блока сравнения соответственно объединены и подключены к выходам второ-

го регистра, входы первой группы второго элемента И и третьего блока сравнения соответственно объединены и подключены к выходам третьего регистра, входы второй группы первого и второго элементов И соответственно объединены и подключены к выходам постоянного накопителя, выходы первого и второго элементов И соединены соответственно с входами второй группы второго и третьего блоков сравнения, выходы которых подключены соответственно к входам первой и второй групп третьего элемента И, выход которого соединен с третьим входом блока управления.

