

**ОПИСАНИЕ
ИЗОБРЕТЕНИЯ
К ПАТЕНТУ**
(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР
ИНТЕЛЛЕКТУАЛЬНОЙ
СОБСТВЕННОСТИ

(19) **ВУ** (11) **7277**

(13) **С1**

(46) **2005.09.30**

(51)⁷ **G 11C 29/00, 11/00**

(54)

ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

(21) Номер заявки: а 20020312

(22) 2002.04.12

(43) 2003.12.30

(71) Заявитель: Учреждение образования "Белорусский государственный технологический университет" (ВУ)

(72) Авторы: Урбанович Павел Павлович; Романенко Дмитрий Михайлович (ВУ)

(73) Патентообладатель: Учреждение образования "Белорусский государственный технологический университет" (ВУ)

(56) Экспресс-информация. Вычислительная техника: Сер. - 1981. - № 28. - С. 7-11.

ВУ 2807 С1, 1999.

SU 1695381 А1, 1991.

US 53031920 А, 1994.

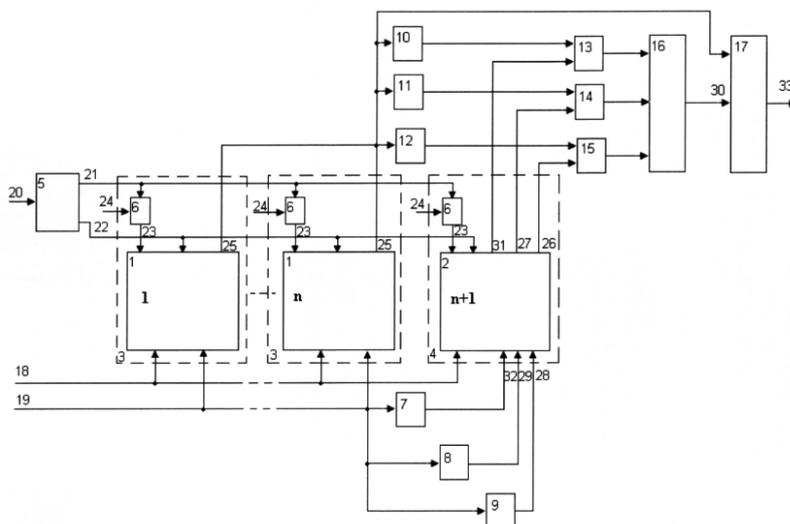
JP 2294999 А, 1990.

JP 3150798 А, 1991.

JP 5198198 А, 1993.

(57)

Запоминающее устройство, содержащее блок памяти из $n + 1$ кристаллов памяти, входы которых соответственно объединены и являются первыми управляющими входами устройства, входы устройства соединены с информационными входами n кристаллов памяти, адресные входы устройства соединены со входом дешифратора адреса, первые выходы старших разрядов которого соединены с первыми входами программируемых блоков адреса кристалла памяти с первого по $(n + 1)$ -ый, вторые входы которых соответственно объединены и являются вторыми управляющими входами устройства, выходы программируемых блоков адреса кристалла памяти соединены соответственно с первыми адресными входами кристаллов памяти, вторые адресные входы которых соединены со вторыми выходами младших разрядов дешифратора адреса, выходы кристаллов памяти с



Фиг. 3

ВУ 7277 С1 2005.09.30

первого по n -ый соединены со входами первых блоков вычисления горизонтального и вертикального паритетов и с первыми входами блока коррекции ошибок, выходы первых блоков вычисления горизонтального и вертикального паритетов соединены соответственно с первыми входами первых и вторых сумматоров, вторые входы которых соединены соответственно с первой и второй группами выходов $(n + 1)$ -го кристалла памяти, первая и вторая группы информационных входов которого соединены соответственно с выходами вторых блоков вычисления горизонтального и вертикального паритетов, входы которых соединены со вторыми входами устройства, выходом соединенного с выходами блока коррекции ошибок, **отличающееся** тем, что содержит первые и вторые блоки вычисления Z -паритета, третьи сумматоры и мажоритарный блок, выходами соединенный со вторыми входами блока коррекции ошибок, а входами - с выходами первых, вторых и третьих сумматоров, причем первые входы третьих сумматоров соединены с третьей группой выходов $(n + 1)$ -го кристалла памяти, а вторые входы третьих сумматоров подключены к выходам первого блока вычисления Z -паритета, входами соединенного с выходами кристаллов памяти с первого по n -ый, входы второго блока вычисления Z -паритета связаны со вторыми информационными входами устройства, выходы второго блока вычисления Z -паритета соединены с третьей группой информационных входов $(n + 1)$ кристалла памяти.

Изобретение относится к вычислительной технике и может быть использовано при производстве СБИС запоминающих устройств (ЗУ) высокой информационной емкости, а также при создании ЗУ на целой полупроводниковой пластине.

Известно запоминающее устройство, содержащее элементы памяти, схемы логики обрамления, позволяющие производить обращение при записи и считывании информации только к одному элементу памяти матрицы и осуществлять коррекцию сигналов с дефектных элементов памяти [1].

Недостатками этого запоминающего устройства являются невысокие надежность и быстродействие из-за сложности блоков контроля, большой задержки сигналов в них, введения большого числа разрядных элементов памяти.

Другим из известных устройств является система памяти, содержащая устройства памяти, первые и вторые адресные входы, управляющие входы, выход системы, соединенный с первыми выходами устройств, причем первые адресные и управляющие входы системы соединены с первыми и вторыми входами запоминающих блоков в каждом устройстве. Эта система позволяет производить коррекцию как отдельных дефектных элементов памяти, слов, разрядов в запоминающих блоках, так и замену дефектных блоков на исправные [2].

Однако известная система характеризуется большой избыточностью и не позволяет использовать для хранения информации отдельные дефектные блоки, что уменьшает эффективно используемую емкость памяти.

Наиболее близким техническим решением к предлагаемому изобретению является запоминающее устройство [3], содержащее блок памяти из $n + 1$ кристаллов памяти, входы которых соответственно объединены и являются первыми управляющими входами устройства, входы устройства соединены с информационными входами n кристаллов памяти, адресные входы устройства соединены со входом дешифратора адреса, первые выходы старших разрядов которого соединены с первыми входами программируемых блоков адреса кристалла памяти с первого по $(n + 1)$ -ый, вторые входы которых соответственно объединены и являются вторыми управляющими входами устройства, выходы программируемых блоков адреса кристалла памяти соединены соответственно с первыми адресными входами кристаллов памяти, вторые адресные входы которых соединены со вторыми выходами младших разрядов дешифратора адреса, выходы кристаллов памяти с первого по n -ый соединены со входами первых блоков вычисления горизонтального и вертикального паритетов и с первыми входами блока коррекции ошибок, выходы первых блоков вычисления горизонтального и вертикального паритетов соединены соответственно с первыми входами

ми первых и вторых сумматоров, вторые входы которых соединены соответственно с первой и второй группами выходов ($n + 1$)-го кристалла памяти, первая и вторая группа информационных входов которого соединены соответственно с выходами вторых блоков вычисления горизонтального и вертикального паритетов, входы которых соединены со вторыми входами устройства, выходом соединенного с выходами блока коррекции ошибок.

В этом устройстве кристаллы памяти, имеющие дефектные элементы памяти по фиксированным адресам, объединяются между собой таким образом, что появляется возможность использовать частично годные кристаллы, что повышает эффективную емкость ЗУ, а использование горизонтальных и вертикальных проверок записываемых и считываемых символов на основе итеративного кода позволяет повысить надежность ЗУ. Однако при относительно большой длине информационного слова, записываемого в n кристаллов памяти (64 и более), цикл записи (a , соответственно, и цикл считывания информации) заметно возрастает. Это снижает эффективность использования итеративного кода на основе формирования горизонтальных и вертикальных паритетов. Аналогично обстоит дело и с использованием для коррекции ошибок кодом Хэмминга.

Задачей изобретения является повышение быстродействия запоминающего устройства.

Поставленная задача решается тем, что в запоминающее устройство, содержащее блок памяти из $n + 1$ кристаллов памяти, входы которых соответственно объединены и являются первыми управляющими входами устройства, входы устройства соединены с информационными входами n кристаллов памяти, адресные входы устройства соединены со входом дешифратора адреса, первые выходы старших разрядов которого соединены с первыми входами программируемых блоков адреса кристалла памяти с первого по $(n + 1)$ -ый, вторые входы которых соответственно объединены и являются вторыми управляющими входами устройства, выходы программируемых блоков адреса кристалла памяти соединены соответственно с первыми адресными входами кристаллов памяти, вторые адресные входы которых соединены со вторыми выходами младших разрядов дешифратора адреса, выходы кристаллов памяти с первого по n -ый соединены со входами первых блоков вычисления горизонтального и вертикального паритетов и с первыми входами блока коррекции ошибок, выходы первых блоков вычисления горизонтального и вертикального паритетов соединены соответственно с первыми входами первых и вторых сумматоров, вторые входы которых соединены соответственно с первой и второй группами выходов $(n + 1)$ -го кристалла памяти, первая и вторая группа информационных входов которого соединены соответственно с выходами вторых блоков вычисления горизонтального и вертикального паритетов, входы которых соединены со вторыми входами устройства, выходом соединенного с выходами блока коррекции ошибок, добавлены первые и вторые блоки вычисления Z-паритета, третьи сумматоры и мажоритарный блок, выходами соединенный со вторыми входами блока коррекции ошибок, а входами - с выходами первых, вторых и третьих сумматоров, причем первые входы третьих сумматоров соединены с третьей группой выходов $(n + 1)$ -го кристалла памяти, а вторые входы третьих сумматоров подключены к выходам первого блока вычисления Z-паритета, входами соединенного с выходами кристаллов памяти с первого по n -ый, входы второго блока вычисления Z-паритета связаны со вторыми информационными входами устройства, выходы второго блока вычисления Z-паритета соединены с третьей группой информационных входов $(n + 1)$ -го кристалла памяти.

Сущность метода заключается в том, что система памяти состоит из $n + 1$ кристаллов, n из которых имеют внутренние схемы дешифрации адреса и формирования паритетов строк и столбцов (HP, VP), а $(n + 1)$ -ый кристалл является устройством для хранения вертикального паритета (ZP).

Из этого следует, что основное отличие предлагаемого метода от известных (например, описанных в [4, 5]) заключается в том, что при вычислении проверочных символов осуществляется не по двум, а по трем координатам (HP, VP, ZP), т.е. в качестве корректирующего кода используется принципиально новый вид кодов, основанных на двойном прямом произведении кодов (трехмерный итеративный код). Одним из множителей является свертка по модулю 2, вторым - линейный итеративный код [6]. Физически такой

ВУ 7277 С1 2005.09.30

способ кодирования можно представить в виде куба или параллелепипеда, состоящего из 4 одинаковых накопителей (информационных плоскостей кода), "наложенных" друг на друга. Боковые стенки этого куба образуются совокупностью элементов четности 4-х матриц. Верхняя грань является совокупностью элементов четности всех элементов, содержащихся в каждой матрице. Общий вид трехмерного итеративного кода представлен на рис. 1.

Проверочная матрица (усеченная) трехмерного итеративного кода для $k = 64$ бит представлена на рис. 2.

Таким образом, согласно порождающей матрице, проверочные символы R_{1-48} могут быть рассчитаны по следующим зависимостям:

$$\begin{aligned} R_1 &= X_1 \oplus X_2 \oplus X_3 \oplus X_4, \\ R_2 &= X_5 \oplus X_6 \oplus X_7 \oplus X_8, \\ &\vdots \\ R_{17} &= X_1 \oplus X_5 \oplus X_9 \oplus X_{13}, \\ &\vdots \\ R_{48} &= X_{16} \oplus X_{32} \oplus X_{48} \oplus X_{64}. \end{aligned} \tag{1}$$

Анализ времени формирования проверочных символов показал, например, при $k = 64$ бита в случае использования трехмерного итеративного кода с усеченной проверочной матрицей ($4 \times 4 \times 4$) для расчета проверочных символов необходимо затратить 2 такта (любой паритет формируется сверткой по модулю 2 четырех информационных бит). При использовании двумерного линейного итеративного кода (проверочная матрица равна 8×8) данный показатель будет составлять 3 такта для кода с $d = 3$ и 6 тактов - для кода с $d = 4$, а в случае использования кода Хэмминга (вес столбца проверочной матрицы не менее 2 бит) - 5 тактов. Таким образом, при $k = 64$ бит время формирования проверочных символов трехмерным итеративным кодом с усеченной проверочной матрицей по сравнению с двумерным линейным итеративным кодом уменьшится в 1,5 и 3 раза для кодов с $d = 3$ и $d = 4$ соответственно, а по сравнению с кодом Хэмминга - в 2,5 раза.

Структурная схема ЗУ (рис. 3) содержит n групп блоков (матрицу) памяти 3, состоящих из кристалла памяти 1 и программируемого блока адреса кристалла 6, $n + 1$ блок памяти 4, состоящий из кристалла памяти 2 и программируемого блока адреса кристалла 6, объединенные входы 18 кристаллов памяти, которые являются первыми управляющими входами устройства, вторые информационные входы 19 устройства, соединенные с информационными входами n кристаллов памяти 1, адресные входы устройства 20, являющиеся адресными входами, соединены со входом дешифратора адреса 5. Первые выходы 21 (старшие разряды) дешифратора 5 соединены с первыми входами программируемых блоков адреса кристалла памяти 6 с первого по $(n + 1)$ -ый, вторые же входы 24 соответственно объединены и являются вторыми управляющими входами устройства, а выходы 23 программируемых блоков адреса кристалла памяти 6 соединены соответственно с первыми адресными входами кристаллов памяти, вторые адресные входы которых соединены со вторыми выходами 22 (младшими разрядами) дешифратора адреса 5. Устройство также содержит первые блоки вычисления горизонтального 11 и вертикального 12 паритетов, входы которых соединены с выходами 25 кристаллов памяти с первого по n -ый; выходы первых блоков вычисления горизонтального 12 и вертикального 11 паритетов соединены соответственно с первыми входами первых 15 и вторых 14 сумматоров, вторые входы которых соединены соответственно с первой 26 и второй 27 группами выходов $(n + 1)$ -го кристалла памяти 2, первая 28 и вторая 29 группа информационных входов которого соединены соответственно с выходами вторых блоков вычисления горизонтального 9 и вертикального 8 паритетов.

Кроме того, устройство содержит первые 10 и вторые 7 блоки вычисления Z-паритета, третьи сумматоры 13 и мажоритарный блок 16. Выходы 30 мажоритарного блока 16 соединены со вторыми входами блока коррекции ошибок 17, а входы - с выходами первых 15, вторых 14 и третьих 13 сумматоров. Первые входы третьих сумматоров 13 соединены с

ВУ 7277 С1 2005.09.30

третьей группой выходов 31 (n + 1)-го кристалла памяти 2, а вторые входы третьих сумматоров 13 подключены к выходам первого блока вычисления Z-паритета 10. Входы первого блока вычисления Z-паритета 10 соединены с выходами 25 кристаллов памяти 1 с первого по n-ый, входы второго блока вычисления Z-паритета 7 связаны со вторыми (информационными) входами 19 устройства, выходы же второго блока вычисления Z-паритета 7 соединены с третьей группой информационных входов 32 (n + 1)-го кристалла памяти 2.

На управляющие входы 18 и 24 подаются стандартные сигналы (разрешение записи/чтения) для соответствующего типа памяти. На адресный вход 20 устройства подается подадреса опрашиваемого ЭП (соответственно младшие и старшие разряды). В соответствии с кодом адреса на шинах 23 формируется новый (внутренний) адрес, соответствующий адресу годного поднакопителя (часть накопителя) кристаллов 1 и 2 и элементу памяти внутри поднакопителя. Таким образом, программируемый блок 5 позволяет использовать частично годные накопители, что повышает эффективную емкость запоминающего устройства.

Устройство работает следующим образом.

Режим записи.

На шине 18 устанавливается сигнал, разрешающий запись информации в кристаллы памяти 1 и 2. На адресный вход 20 устройства подаются подадреса требуемых элементов памяти. Информационные биты по шине 19 передаются на запись в кристаллы памяти 1, а также во вторые блоки формирования горизонтального 9, вертикального 8 и Z-паритета 7, где осуществляется формирование соответствующих паритетов, которые далее записываются в (n + 1)-ый кристалл памяти.

Режим считывания.

На шине 18 устанавливается сигнал, разрешающий запись информации в кристаллы памяти 1 и 2. На адресный вход 20 устройства подаются подадреса требуемых элементов памяти. Информационные биты, считанные из кристаллов памяти 1 по шине 25, передаются на первый вход блока коррекции ошибок 17, а также в первые блоки формирования горизонтального 12, вертикального 11 и Z-паритета 10, из которых новые паритеты передаются на первые входы соответствующих первых сумматоров 15, 14 и 13. На вторые первых сумматоров передают считанные по шинам 26, 27 и 31 старые проверочные символы. Результаты суммирования на первых сумматорах передаются в мажоритарный блок 16 и далее на вторые входы блока коррекции ошибок 17, где при необходимости осуществляется инверсия соответствующего бита и далее по шине 33 на выход из устройства.

Рассмотрим пример трехмерного итеративного кода с усеченной проверочной матрицей. Пусть необходимо закодировать 64 бита (k = 64) информации X = 1111 1010 0101 0001 0001 0001 0001 1111 1000 1000 1110 0001 1101 0101 0000 1111.

Представим данную информацию в виде куба (четыре информационных плоскостей, наложенных друг на друга; пятая плоскость - проверочная) и сформируем все проверочные символы (рис. 4) (проверочные символы выделены курсивом).

Т.е., согласно порождающей матрице, проверочные символы равны:

$$\begin{aligned} R_{1-4} &= 0001 \\ R_{5-8} &= 1110 \\ R_{9-12} &= 1111 \\ R_{13-16} &= 1000 \\ R_{17-20} &= 0001 \\ R_{21-24} &= 1110 \\ R_{25-28} &= 1111 \\ R_{29-32} &= 0111 \\ R_{33-48} &= 1011011010100000. \end{aligned} \tag{2}$$

Пусть при хранении в 2-ом бите информационной последовательности X возникла ошибка (инверсия бита). Тогда X' = 1011 1010 0101 0001 0001 0001 0001 1111 1000 1000 1110 0001 1101 0101 0000 1111. Новые проверочные символы будут равны:

$$\begin{aligned}
 R'_{1-4} &= 1001 \\
 R'_{5-8} &= 1110 \\
 R'_{9-12} &= 1111 \\
 R'_{13-16} &= 1000 \\
 R'_{17-20} &= 0101 \\
 R'_{21-24} &= 1110 \\
 R'_{25-28} &= 1111 \\
 R'_{29-32} &= 0111 \\
 R'_{33-48} &= 1111011010100000.
 \end{aligned}
 \tag{3}$$

Для декодирования информации реализован мажоритарный принцип (принцип большинства). Например при проверке 1-го информационного бита, будут сравниваться R_1 и R'_1 , R_{17} и R'_{17} , R_{33} и R'_{33} . Иными словами, будут выполнены следующие операции суммирования по модулю 2 ("1" свидетельствует о том, что ошибка произошла в данном бите, "0" - ошибки нет):

$$R_1 \oplus R'_1 = 0 \oplus 1 = 1 \qquad R_{17} \oplus R'_{17} = 0 \oplus 0 = 0 \qquad R_{33} \oplus R'_{33} = 1 \oplus 1 = 0.$$

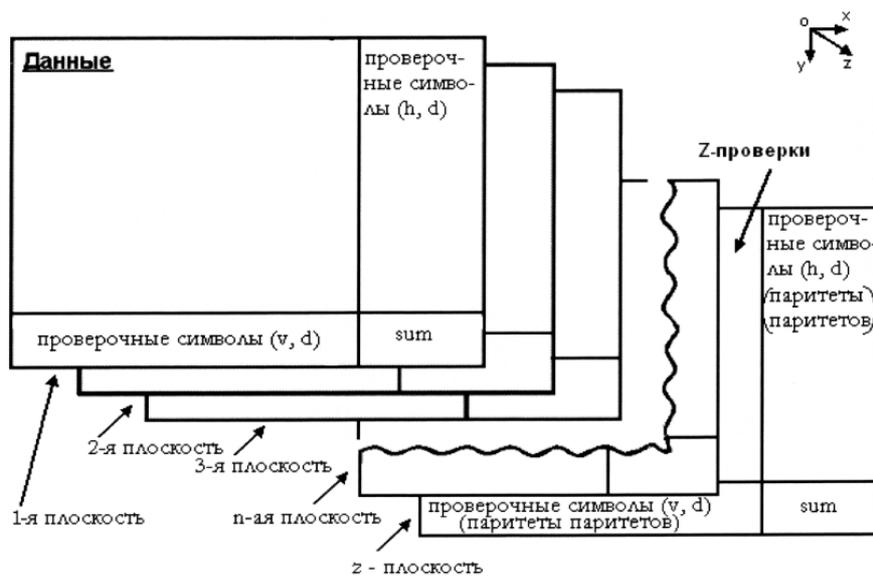
По результатам суммирования, согласно мажоритарному принципу, делается вывод, что ошибки в данном информационном бите нет. При проверке 2-го информационного бита в результате выполнения операций сравнения получим:

$$R_1 \oplus R'_1 = 0 \oplus 1 = 1 \qquad R_{18} \oplus R'_{18} = 0 \oplus 1 = 1 \qquad R_{34} \oplus R'_{34} = 0 \oplus 1 = 1.$$

Таким образом, при считывании информации данный бит необходимо инвертировать (все три паритета показали о наличии ошибок). Аналогичные операции осуществляются для всех считываемых информационных битов.

Источники информации:

1. Экспресс-информация. Вычислительная техника: Сер. - 1981. - № 28. - С. 7-11.



Фиг. 1

