

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР
ИНТЕЛЛЕКТУАЛЬНОЙ
СОБСТВЕННОСТИ

(19) ВУ (11) 11406

(13) С1

(46) 2008.12.30

(51) МПК (2006)

G 11C 11/00

H 03M 13/00

(54)

ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

(21) Номер заявки: а 20070664

(22) 2007.05.31

(71) Заявитель: Учреждение образования "Белорусский государственный технологический университет" (ВУ)

(72) Авторы: Урбанович Павел Павлович; Пацей Наталья Владимировна; Шиман Дмитрий Васильевич; Романенко Дмитрий Михайлович (ВУ)

(73) Патентообладатель: Учреждение образования "Белорусский государственный технологический университет" (ВУ)

(56) ВУ 7277 С1, 2005.

JP 63056900 А, 1988.

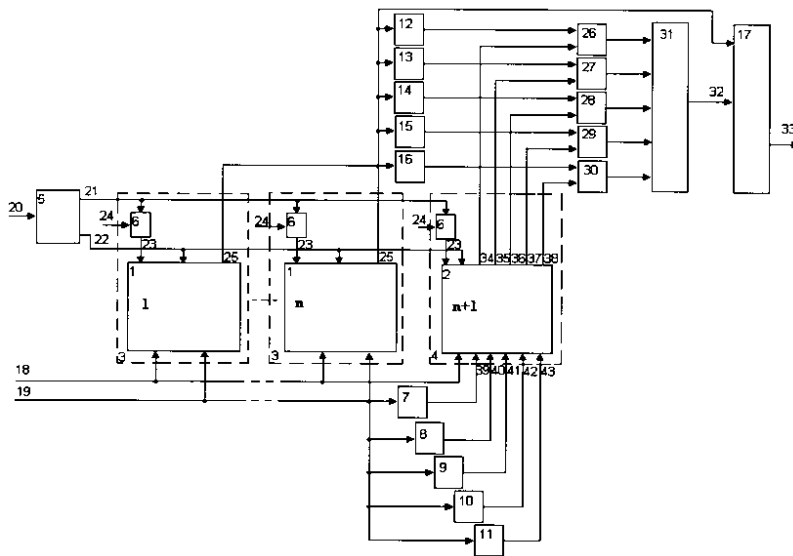
JP 62259300 А, 1987.

US 6581185 В1, 2003.

US 2007/0089045 А1.

(57)

Запоминающее устройство, содержащее блок памяти из $n + 1$ кристаллов памяти, первые входы которых объединены и являются первыми управляющими входами устройства, информационные входы устройства соединены с информационными входами n кристаллов памяти, адресные входы устройства соединены со входами дешифратора адреса, первые выходы которого соединены с первыми входами программируемых блоков адреса кристаллов памяти с первого по $(n + 1)$ -й, вторые входы которых объединены и являются вторыми управляющими входами устройства, выходы программируемых блоков адреса кристаллов памяти соединены с соответствующими первыми адресными входами кристаллов памяти, вторые адресные входы которых соединены со вторыми выходами дешифратора адреса, выходы кристаллов памяти с первого по n -й соединены со входами



Фиг. 3

ВУ 11406 С1 2008.12.30

первых блоков вычисления горизонтального и вертикального паритетов и с первыми входами блока коррекции ошибок, выход которого является информационным выходом устройства, выходы первых блоков вычисления горизонтального и вертикального паритетов соединены соответственно с первыми входами первых и вторых сумматоров, выходы которых соединены с первыми и вторыми входами мажоритарного блока, выходы которого соединены со вторыми входами блока коррекции ошибок, вторые входы первых и вторых сумматоров соединены соответственно с первой и второй группами выходов $(n + 1)$ -го кристалла памяти, первая и вторая группы информационных входов которого соединены соответственно с выходами вторых блоков вычисления горизонтального и вертикального паритетов, входы которых соединены с информационными входами устройства, **отличающееся** тем, что содержит первые и вторые блоки вычисления первых, вторых диагональных паритетов и контрольной суммы, третьи, четвертые, пятые сумматоры, выходы которых соединены с третьими, четвертыми и пятыми входами мажоритарного блока, первые входы третьих, четвертых и пятых сумматоров соединены с третьей, четвертой и пятой группой выходов $(n + 1)$ -го кристалла памяти, а вторые входы третьих, четвертых и пятых сумматоров подключены к выходам первых блоков вычисления первых, вторых диагональных паритетов и контрольной суммы, входами соединенных с выходами кристаллов памяти с первого по n -й, входы вторых блоков вычисления первых, вторых диагональных паритетов и контрольной суммы связаны с информационными входами устройства, выходы вторых блоков вычисления первых, вторых диагональных паритетов и контрольной суммы соединены с третьей, четвертой и пятой группой информационных входов $(n + 1)$ -го кристалла памяти.

Изобретение относится к вычислительной технике и может быть использовано при производстве СБИС запоминающих устройств (ЗУ) высокой информационной емкости, а также в системах кодирования двоичной информации.

Известно запоминающее устройство, содержащее элементы памяти, схемы логики обрамления, позволяющие производить обращение при записи и считывании информации только к одному элементу памяти матрицы и осуществлять коррекцию сигналов с дефектных элементов памяти [1].

Недостатками этого запоминающего устройства являются невысокие надежность и быстродействие из-за сложности блоков контроля, большой задержки сигналов в них, введения большого числа разрядных элементов памяти.

Другим из известных устройств является система памяти, содержащая устройства памяти, первые и вторые адресные входы, управляющие входы, выход системы, соединенный с первыми выходами устройств, причем первые адресные и управляющие входы системы соединены с первыми и вторыми входами запоминающих блоков в каждом устройстве. Эта система позволяет производить коррекцию как отдельных дефектных элементов памяти, слов, разрядов в запоминающих блоках, так и замену дефектных блоков на исправные [2].

Однако известная система характеризуется большой избыточностью и не позволяет использовать для хранения информации отдельные дефектные блоки, что уменьшает эффективно используемую емкость памяти.

Наиболее близким техническим решением к предлагаемому изобретению является запоминающее устройство [3], содержащее блок памяти из $n + 1$ кристаллов памяти, первые входы которых соответственно объединены и являются первыми управляющими входами устройства, вторые (информационные) входы устройства соединены с информационными входами n кристаллов памяти, адресные входы устройства соединены со входами дешиф-

ВУ 11406 С1 2008.12.30

ратора адреса, первые выходы (старшие разряды) которого соединены с первыми входами программируемых блоков адреса кристаллов памяти с первого по $(n + 1)$ -й, вторые входы которых соответственно объединены и являются вторыми управляющими входами устройства, выходы программируемых блоков адреса кристаллов памяти соединены соответственно с первыми адресными входами кристаллов памяти, вторые адресные входы которых соединены со вторыми выходами (младшими разрядами) дешифратора адреса, выходы кристаллов памяти с первого по n -ый соединены со входами первых блоков вычисления горизонтального и вертикального паритетов и с первыми входами блока коррекции ошибок, выход которого является информационным выходом устройства, выходы первых блоков вычисления горизонтального и вертикального паритетов соединены соответственно с первыми входами первых и вторых сумматоров, выходы которых соединены с первыми и вторыми входами мажоритарного блока, выходы которого соединены со вторыми входами блока коррекции ошибок, вторые входы которых соединены соответственно с первой и второй группами выходов $(n + 1)$ -го кристалла памяти, первая и вторая группа информационных входов которого соединены соответственно с выходами вторых блоков вычисления горизонтального и вертикального паритетов, входы которых соединены со вторыми (информационными) входами устройства.

В этом устройстве кристаллы памяти, имеющие дефектные элементы памяти по фиксированным адресам объединяются между собой таким образом, что появляется возможность использовать частично годные кристаллы, что повышает эффективную емкость ЗУ, а использование горизонтальных и вертикальных проверок записываемых и считываемых символов на основе итеративного кода позволяет повысить надежность ЗУ. Однако при относительно большой длине информационного слова, записываемого в n кристаллов памяти (64 и более) цикл записи (а соответственно и цикл считывания информации) заметно возрастает. Это снижает эффективность использования итеративного кода на основе формирования горизонтальных и вертикальных паритетов. Аналогично обстоит дело и с использованием для коррекции ошибок кодом Хэмминга.

Задачей изобретения является повышение надежности запоминающего устройства.

Поставленная задача решается тем, что в запоминающее устройство, содержащее блок памяти из $n + 1$ кристаллов памяти, первые входы которых соответственно объединены и являются первыми управляющими входами устройства, вторые (информационные) входы устройства соединены с информационными входами n кристаллов памяти, адресные входы устройства соединены со входами дешифратора адреса, первые выходы (старшие разряды) которого соединены с первыми входами программируемых блоков адреса кристаллов памяти с первого по $(n + 1)$ -й, вторые входы которых соответственно объединены и являются вторыми управляющими входами устройства, выходы программируемых блоков адреса кристаллов памяти соединены соответственно с первыми адресными входами кристаллов памяти, вторые адресные входы которых соединены со вторыми выходами (младшими разрядами) дешифратора адреса, выходы кристаллов памяти с первого по n -й соединены со входами первых блоков вычисления горизонтального и вертикального паритетов и с первыми входами блока коррекции ошибок, выход которого является информационным выходом устройства, выходы первых блоков вычисления горизонтального и вертикального паритетов соединены соответственно с первыми входами первых и вторых сумматоров, выходы которых соединены с первыми и вторыми входами мажоритарного блока, выходы которого соединены со вторыми входами блока коррекции ошибок, вторые входы которых соединены соответственно с первой и второй группами выходов $(n + 1)$ -го кристалла памяти, первая и вторая группа информационных входов которого соединены соответственно с выходами вторых блоков вычисления горизонтального и вертикального паритетов, входы которых соединены со вторыми (информационными) входами

ВУ 11406 С1 2008.12.30

ми устройства, отличающееся тем, что содержит первые и вторые блоки вычисления первых, вторых диагональных паритетов и контрольной суммы, третьи, четвертые, пятые сумматоры, выходы которых соединены с третьими, четвертыми и пятыми входами мажоритарного блока, первые входы третьих, четвертых и пятых сумматоров соединены с третьей, четвертой и пятой группой выходов $(n + 1)$ -го кристалла памяти, а вторые входы третьих, четвертых и пятых сумматоров подключены к выходам первого блока вычисления первых, вторых диагональных паритетов и контрольной суммы, входами соединенного с выходами кристаллов памяти с первого по n -й, входы второго блока вычисления первых, вторых диагональных паритетов и контрольной суммы связаны со вторыми (информационными) входами устройства, выходы второго блока вычисления первых, вторых диагональных паритетов и контрольной суммы соединены с третьей, четвертой и пятой группой информационных входов $(n + 1)$ -го кристалла памяти.

Изобретение поясняется чертежами: фиг. 1 - фиг. 3.

Фиг. 1 - Порождающая матрица линейного итеративного кода с двойными диагональными проверками ($k = 16$).

Фиг. 2 - Принцип формирования избыточных символов для линейного итеративного с двойными диагональными проверками ($k = 16$), где 1 - информационные символы (X_{1-16}), 2 - горизонтальные паритеты HP (R_{1-4}), 3 - вертикальные паритеты VP (R_{5-8}), 4 - первые диагональные паритеты DP1 (R_{9-15}), 5 - вторые диагональные паритеты DP2 (R_{16-22}), 6 - контрольная сумма SP (R_{23}).

Фиг. 3 - Запоминающее устройство.

Сущность метода заключается в том, что система памяти состоит из $n + 1$ кристаллов, n из которых имеют внутренние схемы дешифрации адреса, а $(n + 1)$ -й кристалл является устройством для хранения паритетов строк и столбцов (HP, VP), первых и вторых диагональных паритетов (DP1 и DP2), а также паритета контрольной суммы (SP). Из этого следует, что вычисление проверочных символов осуществляется в четырех направлениях (HP, VP, DP1, DP2), а также рассчитывается контрольная сумма всего информационного слова (SP), т.е. в качестве корректирующего кода используется усовершенствованный линейный итеративный код, основанный на свертках по модулю 2, в который добавлены двойные диагональные проверки (линейный итеративный код с двойными диагональными проверками) [6].

Порождающая матрица и принцип формирования проверочных символов для такого кода при $k = 16$ бит представлена на фиг. 1 и фиг. 2 соответственно. Таким образом, согласно порождающей матрице, проверочные символы R_{1-23} могут быть рассчитаны по следующим зависимостям:

$$\begin{aligned} R_1 &= X_1 \oplus X_2 \oplus X_3 \oplus X_4, \\ R_2 &= X_5 \oplus X_6 \oplus X_7 \oplus X_8, \\ &\vdots \\ R_5 &= X_1 \oplus X_5 \oplus X_9 \oplus X_{13}, \\ &\vdots \\ R_{12} &= X_4 \oplus X_7 \oplus X_{10} \oplus X_{13}, \\ &\vdots \\ R_{23} &= X_1 \oplus X_2 \oplus X_3 \oplus \dots \oplus X_{16}. \end{aligned} \tag{1}$$

Минимальное кодовое расстояние (d) линейного итеративного кода с двойными диагональными проверками будет равно 6, следовательно код позволяет корректировать все одиночные и двойные ошибки.

ВУ 11406 С1 2008.12.30

Структурная схема 3У (фиг. 3) содержит n групп блоков (матрицу) памяти 3, состоящих из кристаллов памяти 1 и программируемых блоков адреса кристаллов 6, $n + 1$ блок памяти 4, состоящий из кристалла памяти 2 и программируемого блока адреса кристалла 6, объединенные входы 18 кристаллов памяти, которые являются первыми управляющими входами устройства, вторые информационные входы 19 устройства, соединенные с информационными входами n кристаллов памяти 1, адресные входы устройства 20 соединены с входом дешифратора адреса 5. Первые выходы 21 (старшие разряды) дешифратора 5 соединены с первыми входами программируемых блоков адреса кристаллов памяти 6 с первого по $(n + 1)$ -й, вторые же входы 24 соответственно объединены и являются вторыми управляющими входами устройства, а выходы 23 программируемых блоков адреса кристаллов памяти 6 соединены соответственно с первыми адресными входами кристаллов памяти, вторые адресные входы которых соединены со вторыми выходами 22 (младшими разрядами) дешифратора адреса 5. Устройство также содержит первые блоки вычисления горизонтального 12 и вертикального 13 паритетов, входы которых соединены с выходами 25 кристаллов памяти с первого по n -й; выходы первых блоков вычисления горизонтального 12 и вертикального 13 паритетов соединены соответственно с первыми входами первых 26 и вторых 27 сумматоров, вторые входы которых соединены соответственно с первой 34 и второй 35 группами выходов $(n + 1)$ -го кристалла памяти 2, первая 39 и вторая 40 группа информационных входов которого соединены соответственно с выходами вторых блоков вычисления горизонтального 7 и вертикального 8 паритетов.

Кроме того, устройство содержит первые 14 и вторые 9 блоки вычисления первого диагонального паритета, первые 15 и вторые 10 блоки вычисления второго диагонального паритета, первые 16 и вторые 11 блоки вычисления контрольной суммы, третьи 28, четвертые 29, пятые 30 сумматоры и мажоритарный блок 31. Выходы 32 мажоритарного блока 31 соединены со вторыми входами блока коррекции ошибок 17, а входы - с выходами первых 26, вторых 27, третьих 28, четвертых 29 и пятых 30 сумматоров.

Первые входы третьих сумматоров 28 соединены с третьей группой выходов 36 $(n + 1)$ -го кристалла памяти 2, а вторые входы третьих сумматоров 28 подключены к выходам первого блока вычисления первых диагональных проверок 14. Входы первого блока вычисления первых диагональных проверок 14 соединены с выходами 25 кристаллов памяти 1 с первого по n -й, входы второго блока вычисления первых диагональных проверок 9 связаны со вторыми (информационными) входами 19 устройства, выходы же второго блока вычисления первых диагональных проверок 9 соединены с третьей группой информационных входов 41 $(n + 1)$ -го кристалла памяти 2.

Первые входы четвертых сумматоров 29 соединены с третьей группой выходов 37 $(n + 1)$ -го кристалла памяти 2, а вторые входы четвертых сумматоров 29 подключены к выходам первого блока вычисления вторых диагональных проверок 15. Входы первого блока вычисления вторых диагональных проверок 15 соединены с выходами 25 кристаллов памяти 1 с первого по n -й, входы второго блока вычисления вторых диагональных проверок 10 связаны со вторыми (информационными) входами 19 устройства, выходы же второго блока вычисления вторых диагональных проверок 10 соединены с четвертой группой информационных входов 42 $(n + 1)$ -го кристалла памяти 2.

Первые входы пятых сумматоров 30 соединены с третьей группой выходов 38 $(n + 1)$ -го кристалла памяти 2, а вторые входы пятых сумматоров 30 подключены к выходам первого блока вычисления контрольной суммы 16. Входы первого блока вычисления контрольной суммы 16 соединены с выходами 25 кристаллов памяти 1 с первого по n -й, входы второго блока вычисления контрольной суммы 11 связаны со вторыми (информационными) входами 19 устройства, выходы же второго блока вычисления контрольной

ВУ 11406 С1 2008.12.30

суммы 11 соединены с пятой группой информационных входов 43 (n + 1)-го кристалла памяти 2.

На управляющие входы 18 и 24 подаются стандартные сигналы (разрешение записи/чтения) для соответствующего типа памяти. На адресный вход 20 устройства подается подадреса опрашиваемого ЭП (соответственно младшие и старшие разряды). В соответствии с кодом адреса на шинах 23 формируется новый (внутренний) адрес, соответствующий адресу годного поднакопителя (часть накопителя) кристаллов 1 и 2 и элементу памяти внутри поднакопителя. Таким образом, программируемый блок 5 позволяет использовать частично годные накопители, что повышает эффективную емкость запоминающего устройства.

Устройство работает следующим образом.

Режим записи.

На шине 18 устанавливается сигнал, разрешающий запись информации в кристаллы памяти 1 и 2. На адресный вход 20 устройства подаются подадреса требуемых элементов памяти. Информационные биты по шине 19 передаются на запись в кристаллы памяти 1, а также во вторые блоки формирования горизонтального 7, вертикального 8, первых диагональных 9, вторых диагональных 10 паритетов и контрольной суммы 11, где осуществляется формирование соответствующих паритетов, которые далее записываются в (n + 1)-й кристалл памяти.

Режим считывания.

На шине 18 устанавливается сигнал, разрешающий запись информации в кристаллы памяти 1 и 2. На адресный вход 20 устройства подаются подадреса требуемых элементов памяти. Информационные биты, считанные из кристаллов памяти 1 по шине 25 передаются на первый вход блока коррекции ошибок 17, а также в первые блоки формирования горизонтального 12, вертикального 13, первых диагональных 14, вторых диагональных 15 паритетов и контрольной суммы 16, из которых новые паритеты передаются на первые входы соответствующих первых 26, вторых 27, третьих 28, четвертых 29 и пятых 30 сумматоров. На вторые сумматоров 26, 27, 28, 29 и 30 передают считанные по шинам 34, 35, 36, 37 и 38 старые проверочные символы. Результаты суммирования на сумматорах 26, 27, 28, 29 и 30 передаются в мажоритарный блок 31 и далее на вторые входы блока коррекции ошибок 17, где при необходимости осуществляется инверсия соответствующего бита и далее по шине 33 на выход из устройства.

Рассмотрим пример исправления ошибок линейным итеративным кодом с двойными диагональными проверками. Пусть закодированы 16 бит ($k = 16$) информации $X = 0111 1010 0010 1100$ (информационные биты записываются в кристаллы памяти с 1-го по n-й). То есть, согласно порождающей матрице, в 7, 8, 9, 10 и 11 формируются проверочные символы:

$$\begin{aligned} R_{1-4} &= 1010 \\ R_{5-8} &= 0011 \\ R_{9-15} &= 0011000 \\ R_{16-22} &= 1111011 \\ R_{23} &= 0, \end{aligned} \tag{2}$$

которые далее записываются в n + 1 кристалл памяти.

Пусть при хранении во втором и четвертом бите информационной последовательности X возникла ошибка (инверсия бита). Тогда $X' = 0010 1010 0010 1100$. Новые проверочные символы, сформированные в блоках 12, 13, 14, 15 и 16, будут равны:

ВУ 11406 С1 2008.12.30

$$\begin{aligned}R_{1-4} &= 1010 \\R_{5-8} &= 0110 \\R_{9-15} &= 0110000 \\R_{16-22} &= 1111110 \\R_{23} &= 0.\end{aligned}\tag{3}$$

Для декодирования информации реализован мажоритарный принцип (принцип большинства). Например, при проверке 8-го информационного бита в сумматорах 26, 27, 28, 29 и 30 будут сравниваться R_2 и R'_2 , R_8 и R'_8 , R_{13} и R'_{13} , R_{21} и R'_{21} , R_{23} и R'_{23} . Иными словами, будут выполнены следующие операции суммирования по модулю 2 ("1" свидетельствует о том, что ошибка произошла в данном бите, "0" - ошибки нет):

$$\begin{aligned}R_1 \oplus R'_1 &= 0 \oplus 0 = 0, \\R_5 \oplus R'_5 &= 1 \oplus 0 = 1, \\R_{33} \oplus R'_{33} &= 0 \oplus 0 = 0, \\R_{33} \oplus R'_{33} &= 1 \oplus 1 = 0, \\R_{33} \oplus R'_{33} &= 1 \oplus 1 = 0.\end{aligned}\tag{4}$$

По результатам суммирования, согласно мажоритарному принципу, в блоке 31 делается вывод, что ошибки в данном информационном бите нет (на выходе из блока 31 устанавливается "0"). При проверке 2-го и 4-го информационных бита в результате выполнения операций сравнения в сумматорах 26, 27, 28, 29 и 30 получим:

для 2 – го бита	для 4 – го бита
$R_2 \oplus R'_2 = 0 \oplus 0 = 0,$	$R_4 \oplus R'_4 = 0 \oplus 0 = 0,$
$R_6 \oplus R'_8 = 0 \oplus 1 = 1,$	$R_8 \oplus R'_8 = 1 \oplus 0 = 1,$
$R_{10} \oplus R'_{10} = 0 \oplus 1 = 1,$	$R_{12} \oplus R'_{12} = 1 \oplus 0 = 1,$
$R_{20} \oplus R'_{20} = 0 \oplus 1 = 1,$	$R_{22} \oplus R'_{22} = 1 \oplus 0 = 1,$
$R_{23} \oplus R'_{23} = 0 \oplus 0 = 0,$	$R_{23} \oplus R'_{23} = 0 \oplus 1 = 1.$

(5)

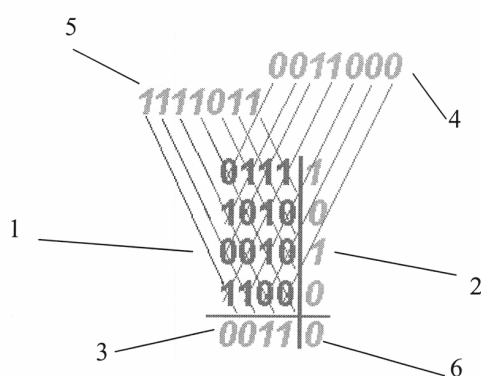
Таким образом, при считывании информации данные биты необходимо инвертировать (три паритета из пяти показали о наличии ошибок - следовательно, на выходе из блока 31 устанавливается "1"). Аналогичные операции осуществляются для всех считываемых информационных битов.

Используемые источники:

1. А.с. СССР 957273, МПК G 11C 11/00, 1982.
2. А.с. СССР 433542, МПК G 11C 29/00, 1974.
3. Патент ВУ 7277, МПК G 11C 29/00, 11/00, 2005 (прототип).

$$G = [P | I] = \begin{bmatrix} 11110000000000 & 100000000000000000 \\ 00001111000000 & 010000000000000000 \\ 0000000011110000 & 001000000000000000 \\ 0000000000001111 & 000100000000000000 \\ 1000100010001000 & 000010000000000000 \\ 0100010001000100 & 000001000000000000 \\ 0010001000100010 & 000000100000000000 \\ 0001000100010001 & 000000010000000000 \\ 1000000000000000 & 000000001000000000 \\ 0100100000000000 & 000000000100000000 \\ 0010010010000000 & 000000000010000000 \\ 0001001001001000 & 000000000001000000 \\ 0000000100100100 & 000000000000100000 \\ 000000000010010 & 000000000000010000 \\ 0000000000000001 & 000000000000001000 \\ 00000000000001000 & 00000000000000010000 \\ 0000000010000100 & 000000000000000010000 \\ 0000100001000010 & 0000000000000000010000 \\ 1000010000100001 & 00000000000000000010000 \\ 0100001000010000 & 000000000000000000010000 \\ 0010000100000000 & 00000000000000000000100 \\ 0001000000000000 & 00000000000000000000010 \\ 1111111111111111 & 0000000000000000000001 \end{bmatrix}$$

Фиг. 1



Фиг. 2