



(51)4 Н 03 М 13/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГИИТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

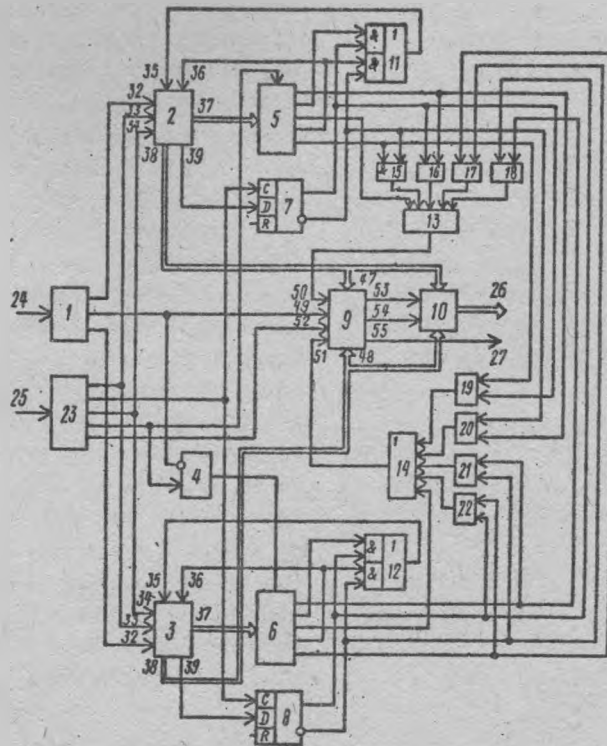
- 1
- (21) 4313011/24-24
 - (22) 20.07.87
 - (46) 07.06.89. Бюл. № 21
 - (71) Минский радиотехнический институт
 - (72) П.П.Урбанович и И.Н.Шидловский
 - (53) 681.325(088.8)
 - (56) Авторское свидетельство СССР № 1051709, кл. Н 03 М 13/02, 1981.
Авторское свидетельство СССР № 1150771, кл. Н 03 М 7/00, 1983.

(54) УСТРОЙСТВО ДЛЯ ДЕКОДИРОВАНИЯ ДВОИЧНЫХ КОДОВ ХЭММИНГА

(57) Изобретение относится к вычислительной технике. Его использование

2

в системах передачи дискретной информации позволяет повысить быстродействие устройства и достоверность декодирования. Устройство содержит решающий блок 1, блок 2 коррекции ошибок, триггеры 7, 8, блок 9 сравнения кодов, элемент ИЛИ 13 и элемент И 15-22. Благодаря введению блока 3 коррекции ошибок, дешифраторов 5, 6, блока 10 мультиплексирования, элементов 2И-ИЛИ 11, 12, и элемента ИЛИ 14 в устройстве обеспечиваются исправление трех стираний и обнаружение двух трансформаций (помимо свойств, совпадающих с прототипом). 2 з.п. ф-лы, 4 ил.



Изобретение относится к вычислительной технике и может быть использовано в системах передачи цифровой информации.

Цель изобретения - повышение достоверности декодирования и быстродействия устройства.

На фиг. 1 представлена функциональная схема устройства; на фиг. 2 - блок коррекции ошибок; на фиг. 3 - блок сравнения кодов; на фиг. 4 - сигналы на входе (а) и на первом - пятом выходах (б-е) блока синхронизации.

Устройство для декодирования двоичных кодов Хэмминга содержит (фиг. 1) решающий блок 1, первый 2 и второй 3 блоки коррекции ошибок, элемент ЗАПРЕТ 4, первый 5 и второй 6 дешифраторы, первый 7 и второй 8 триггеры, блок 9 сравнения кодов, блок 10 мультиплексирования, первый 11 и второй 12 элементы ИИЛИ, первый 13 и второй 14 элементы ИЛИ, первый - восьмой элементы И 15-22 и блок 23 синхронизации. Кроме того, устройство содержит информационный вход 24, вход 25 синхронизации, информационные 26 и управляющий 27 выходы.

Блок 2 (3) коррекции ошибок содержит (фиг. 2) регистры 28 сдвига, группу 29 управляемых инверторов, первую 30 и вторую 31 группы ключей, а также информационный вход 32, первый - четвертый управляющие входы 33-36, первые 37, вторые 38 и третий 39 выходы.

Блок 9 сравнения кодов содержит (фиг. 3) группу 40 сумматоров по модулю два, элемент ИЛИ 41, первый - пятый элементы ИЛИ-НЕ 42-46, а также первые 47 и вторые 48 информационные входы, первый - четвертый управляющие входы 49-52, первый - третий выходы 53-55.

Единичные сигналы на первом - пятом выходах дешифратора 5 (6) появляются при наличии единичного сигнала на управляющем входе, когда, соответственно: на всех входах дешифратора 5 (6) присутствуют нули, единичный уровень только на одном любом входе, единичные уровни только на двух любых входах, единичные уровни только на трех любых входах, единичные уровни на всех входах.

Устройство для декодирования двоичных кодов Хэмминга работает следующим образом.

5 В исходном состоянии все триггеры устройства находятся в нулевом состоянии (цепи установки триггеров в нулевое состояние не указаны), обнуление может производиться по любому фронту синхросигнала, приходящего из линии связи.

10 Посылка из p двоичных символов, закодированная в коде Хэмминга (p, k), поступает на вход решающего блока 1, в котором путем сравнения с двумя порогами осуществляется разделение приходящей из линии связи комбинации на две: принятую комбинацию, у которой стертые позиции заменены нулями, и 15 принятую комбинацию, у которой на стертых позициях стоят единицы. Кроме того, на третьем выходе решающего блока 1 при наличии ошибок типа "Стирание" в принятой комбинации формируется сигнал единичного уровня.

20 При $p=8$ первые восемь тактовых импульсов, снимаемых с первого выхода блока 23 синхронизации (фиг. 4б), поступают на тактовые входы регистров 28 сдвига обоих блоков 2 и 3, тем самым осуществляется запись в них информации, поступающей с выходов решающего блока 1. В регистры 28 блока 2 записывается принятая последовательность, в которой стертые разряды 25 заменены нулями, в аналогичные регистры 28 сдвига блока 3 записывается принятая последовательность, у которой на стертых позициях стоят единицы. Через восемь тактов в регистр 28.1 сдвига записываются проверочные символы, а в регистр 28.2 - информационные символы принятой последовательности, поскольку первый выход регистра 28.1 соединен с информационным входом регистра 28.2. С пятого по восьмой тактовые импульсы с второго выхода блока 23 синхронизации (фиг. 4в) поступают на тактовые входы триггеров 7 и 8, тем самым определяется четность (нечетность) числа единиц в информационных символах принятой последовательности (каждый единичный символ на информационных 50 входах триггеров 7 и 8 изменяет логическое состояние их выходов по ходу тактового импульса).

Девятым синхроимпульсом, снимаемым с третьего выхода блока 23, от-

крываются ключи 30 блоков 2 и 3 и информационные символы, записанные в регистре 28.2 сдвига, суммируются (в регистре 28.1) по модулю два с соответствующими проверочными символами, записанными в регистре 28.1 сдвига, тем самым определяется синдром ошибки, который хранится в регистре 28.1

При наличии ошибок типа "Стирание" в принятой последовательности с третьего выхода решающего блока 1 на запрещающий вход элемента ЗАПРЕТ 4 поступает сигнал логического нуля. Девятый импульс с четвертого выхода блока 23 синхронизации (фиг. 4д) поступает на управляющий вход дешифратора 5 и через открытый элемент 4 — на управляющий вход дешифратора 6, разрешая их работу. Дешифраторы 5 и 6 в зависимости от числа единиц в синдроме формируют на одном из своих выходов сигнал единичного значения. При одной единице в синдроме и нечетном числе единиц в информационных символах принятой последовательности на выходе элемента 11 (12) формируется единичный уровень и разряды блока 2 (3) через открытые ключи 31 и управляемые инверторы 29 поступают на установочные входы регистра 28.2 сдвига. Так как на управляющих входах инверторов 29 отсутствует сигнал управления, то разряды в блоке 2 (3) суммируются по модулю два с соответствующими информационными символами.

При трех единицах в синдроме и четном числе единиц в информационных символах принятой последовательности на управляющие входы управляемых инверторов 29 поступает сигнал управления, поэтому разряды синдрома через открытые ключи 31 поступают на информационные входы управляемых инверторов 29, где они инвертируются и далее в регистре 28.2 суммируются по модулю два с соответствующими информационными символами. Таким образом осуществляется коррекция ошибок в информационных символах принятой последовательности.

Если синдром содержит четыре единицы или четыре нуля и информационные символы содержат соответственно нечетное или четное число единиц, что означает безошибочность принятой последовательности, на выходе элемента

ИЛИ 14 (13) формируется сигнал единичного значения.

Если синдром содержит четыре единицы или четыре нуля и информационные символы содержат соответственно четное или нечетное число единиц или же синдром содержит две единицы, что означает неисправимые ошибки в последовательности, поступившей в блок 2 (3) коррекции ошибок, то на выходе элемента ИЛИ 13 (14) формируется сигнал единичного значения.

Одиннадцатый синхроимпульс, проходящий с пятого выхода блока 23 синхронизации (фиг. 4), поступает в блок 9 сравнения кодов, который работает следующим образом. Если в записанной в блок 2 последовательности обнаружена неисправимая ошибка или записанная в блок 3 последовательность безошибочна (при этом с выхода элемента 13 снимается единичное значение), то с приходом импульса с пятого выхода блока 23 синхронизации на выходе 53 блока 9 появляется единичный сигнал. На выходе 54 блока 9 появляется сигнал единичного значения в следующих случаях: если в последовательности, записанной в блок 2, ошибок нет, если в последовательности, записанной в блок 3, обнаружены неисправимые ошибки (в этих двух случаях с выхода элемента 14 снимается единичное значение), если принимаемая устройством последовательность не содержит ошибок типа "Стирание" (при этом с третьего выхода блока 1 снимается единичное значение).

Если приходящая из линии связи последовательность содержит неисправимые ошибки или если она содержит исправленные информационные символы с блока 2 коррекции ошибок не равны соответствующим информационным символам, записанным в блоке 3 коррекции ошибок, то с приходом импульса с пятого выхода блока 23 синхронизации на всех трех выходах 53-55 блока 9 сравнения кодов появляются сигналы единичного значения.

Сигналы с выходов 53 и 54 блока 9 поступают на управляющие входы блока 10, который коммутирует на выход информационные символы, записанные в первом либо во втором блоках 2 и 3 коррекции ошибок, или закрывает выход информации из обоих блоков 2 и

3 под действием управляющих сигналов. Сигнал об обнаружении неисправимых ошибок снимается с выхода 55 блока 9 сравнения на выход 27.

Пример 1. Передается информационная последовательность 1101, закодированная в коде Хэмминга (8,4) и содержащая нечетное число единиц. Кодовое слово выглядит так: 1101 0010. Контрольные символы вычисляются в соответствии с проверочной матрицей

$$H = \begin{vmatrix} 0111 & 1000 \\ 1011 & 0100 \\ 1101 & 0010 \\ 1110 & 0001 \end{vmatrix}$$

В результате действия помех в канале связи происходит его искажение. На вход устройства приходит последовательность XIXI X010, где X - позиция стерттого разряда. Тогда при помощи блока 1 происходит разделение информации: в блок 2 коррекции ошибок подается последовательность 0101 0010 (на местах стираний - нули), а в блок 3 - последовательность 1111 1010 (на местах стираний - единицы). Таким образом в первые восемь тактов в регистр 28.2 сдвига блока 2 записываются информационные символы 0101, а в регистр 28.1 сдвига блока 2 - проверочные символы 0010. Кроме того, триггер 7, тактируемый с четвертого по восьмой такт, устанавливается в нулевое состояние (соответствует четному числу единиц в информационных символах). Девятым тактовым импульсом открываются ключи 30 и информационные символы по модулю два с соответствующими проверочными символами:

$$\begin{array}{r} 0101 \\ 0010 \\ \hline 0111 \end{array}$$

Нулевое состояние триггера 7 и полученный синдром, содержащий три единицы, означают ошибку в информационных символах. В одиннадцатом такте на выходе элемента 11 вырабатывается единичный сигнал, открываются ключи 31 и символы синдрома поступают на информационные входы управляемых инверторов 29. На четвертом выходе дешифратора 5 - единичный уровень, а следовательно, на управляющих вхо-

дах инверторов 29 - единичный сигнал, поэтому символы синдрома инвертируются и, поступая на установочные входы регистра 28.2, суммируются по модулю два с соответствующими информационными символами:

$$\begin{array}{r} 0111 \rightarrow 1000 \\ 0101 \\ \hline 1101 \end{array}$$

Таким образом осуществляется коррекция информационных символов, записанных в блоке 2.

Одновременно в первые восемь тактовых импульсов в регистр 28.2 блока 3 записываются информационные символы 1111, а в регистр 28.1 - проверочные символы 1010. Затем осуществляется суммирование по модулю два информационных символов с проверочными:

$$\begin{array}{r} 1111 \\ 1010 \\ \hline 0101 \end{array}$$

Полученный результат (синдром), содержащий две единицы, означает неисправимые ошибки в последовательности, записанной в блоке 3. Поэтому на десятом такте единица с выхода элемента ИЛИ 14 поступает в блок 9, с выхода 54 которого нулевой уровень поступает на вход блока 10, который перекрывает выход информации из блока 3 коррекции ошибок. Таким образом на одиннадцатом такте с выходов блока 10 снимается последовательность 1101, полностью совпадающая с передаваемой последовательностью.

Рассмотрим исправление устройством ошибок типа "Стирание" совместно с ошибкой типа "Трансформация".

Пример 2. Допустим, что передавалось кодовое слово 0011 0011 и происходит его искажение. На вход устройства приходит последовательность 011X 0011. Тогда в первые восемь тактов в регистры 28.2 и 28.1 блока 2 записываются соответственно информационные (0110) и проверочные (0011) символы. На девятом такте проверочные символы суммируются по модулю два с соответствующими информационными символами:

$$\begin{array}{r} 0011 \\ 0110 \\ \hline 0101 \end{array}$$

Полученный синдром, содержащий две единицы, означает неисправимые ошибки в последовательности, записанной в блоке 2. Поэтому на десятом такте с выхода элемента ИЛИ 13 поступает сигнал единичного значения в блок 9, с выхода 53 которого сигнал нулевого значения поступает на вход блока 10, который перекрывает выход информации из блока 2 коррекции ошибок. Одновременно в первые восемь тактов в регистры 28.2 и 28.1 блока 3 записываются соответственно информационные (0111) и проверочные (0011) символы. Триггер 8, тактируемый с четвертого по восьмой такты, устанавливается в единичное состояние, соответствующее нечетному числу единиц в информационных символах. На девятом такте проверочные символы суммируются с соответствующими информационными символами:

0011
0111
 0100

Единичное состояние триггера 8 и полученный синдром означают ошибку в информационных символах. На десятом такте символы синдрома суммируются по модулю два с соответствующими информационными символами:

0100
0111
 0011

На одиннадцатом такте информационные символы (0011), полностью совпадающие с передаваемыми, поступают на выходы 26 устройства.

Таким образом, предлагаемое устройство обеспечивает исправление не двух, а трех ошибок типа "Стирание" (кроме других ситуаций, так и в известном устройстве), и обнаружение двух ошибок типа "Трансформация" в любом из 16 возможных кодовых слов за 11 тактов работы.

Ф о р м у л а и з о б р е т е н и я

1. Устройство для декодирования двоичных кодов Хэмминга, содержащее решающий блок, вход которого является информационным входом устройства, первый блок коррекции ошибок, блок сравнения кодов, первый и вто-

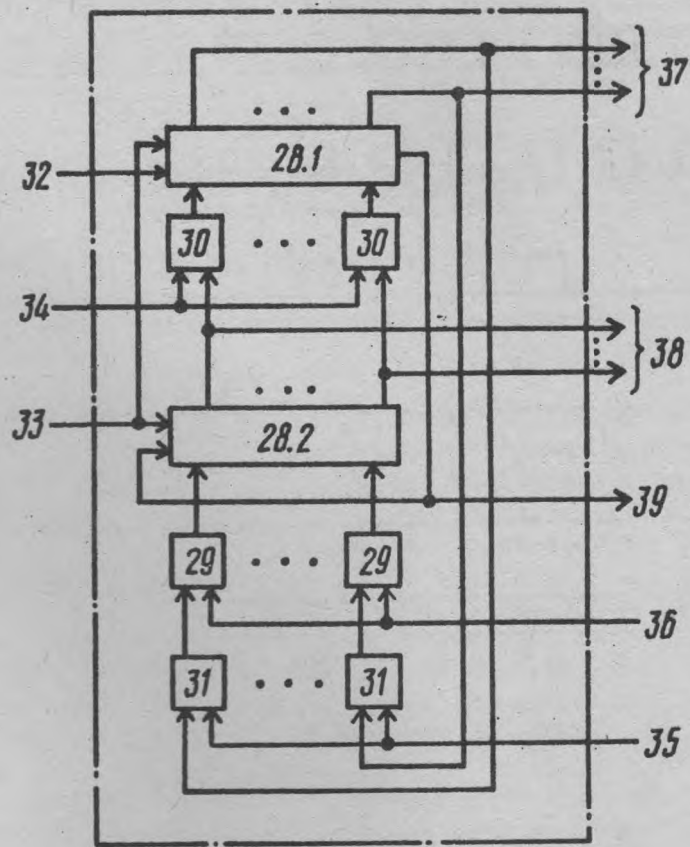
рой триггеры, первый элемент ИЛИ и первый - восьмой элементы И, отличающиеся тем, что, с целью повышения достоверности декодирования и быстродействия устройства, в него введены второй блок коррекции ошибок, блок мультиплексирования, первый и второй дешифраторы, второй элемент ИЛИ, первый и второй элементы 2И-ИЛИ, элемент ЗАПРЕТ и блок синхронизации, вход которого является входом синхронизации устройства, первый и второй выходы решающего блока соединены с информационными входами соответственно первого и второго блоков коррекции ошибок, первые выходы каждого из которых подключены к информационным входам одноименного дешифратора, первые выходы первого и второго дешифраторов соединены с первыми входами соответственно второго, шестого и четвертого, седьмого элементов И, третий выход решающего блока подключен к первому управляющему входу блока сравнения кодов и запрещающему входу элемента ЗАПРЕТ, выход которого соединен с управляющим входом второго дешифратора, первый - четвертый выходы блока синхронизации подключены соответственно к первым управляющим входам блоков коррекции ошибок, к тактовым входам триггеров, к вторым управляющим входам блоков коррекции ошибок, к разрешающему входу элемента ЗАПРЕТ и управляющему входу первого дешифратора, второй выход каждого дешифратора соединен с первым входом одноименного элемента 2И-ИЛИ, выход которого подключен к третьему управляющему входу одноименного блока коррекции ошибок, вторые выходы первого и второго блоков коррекции ошибок соединены соответственно с первым и вторым информационными входами блока сравнения кодов и блока мультиплексирования, третий выход каждого блока коррекции ошибок подключен к информационному входу одноименного триггера, прямой выход первого триггера соединен с вторым входом первого элемента 2И-ИЛИ, вторым входом второго и первым входом пятого элементов И, прямой выход второго триггера подключен к второму входу второго элемента 2И-ИЛИ, второму входу четвертого и первому входу восьмого элементов И, третий выход каждого дешифратора подключен к первому вхо-

ду одноименного элемента ИЛИ, четвертый выход каждого дешифратора соединен с третьим входом одноименного элемента 2И-ИЛИ и четвертым управляющим входом одноименного блока коррекции ошибок, инверсный выход первого триггера подключен к четвертому входу первого элемента 2И-ИЛИ, первому входу первого и второму входу шестого элементов И, инверсный выход второго триггера соединен с четвертым входом второго элемента 2И-ИЛИ, первым входом третьего и вторым входом седьмого элементов И, пятый выход первого дешифратора подключен к вторым входам первого и пятого элементов И, пятый выход второго дешифратора соединен с вторыми входами третьего и восьмого элементов И, выходы первого - четвертого и пятого - восьмого элементов И соединены с вторым - пятым входами соответственно первого и второго элементов ИЛИ, выходы которых подключены соответственно к второму и третьему управляющим входам блока сравнения кодов, пятый выход блока синхронизации соединен с четвертым управляющим входом блока сравнения кодов, первый и второй выходы которого подключены к соответствующим управляющим входам блока мультиплексирования, выходы которого и третий выход блока сравнения кодов являются информационными и управляющими выходами устройства.

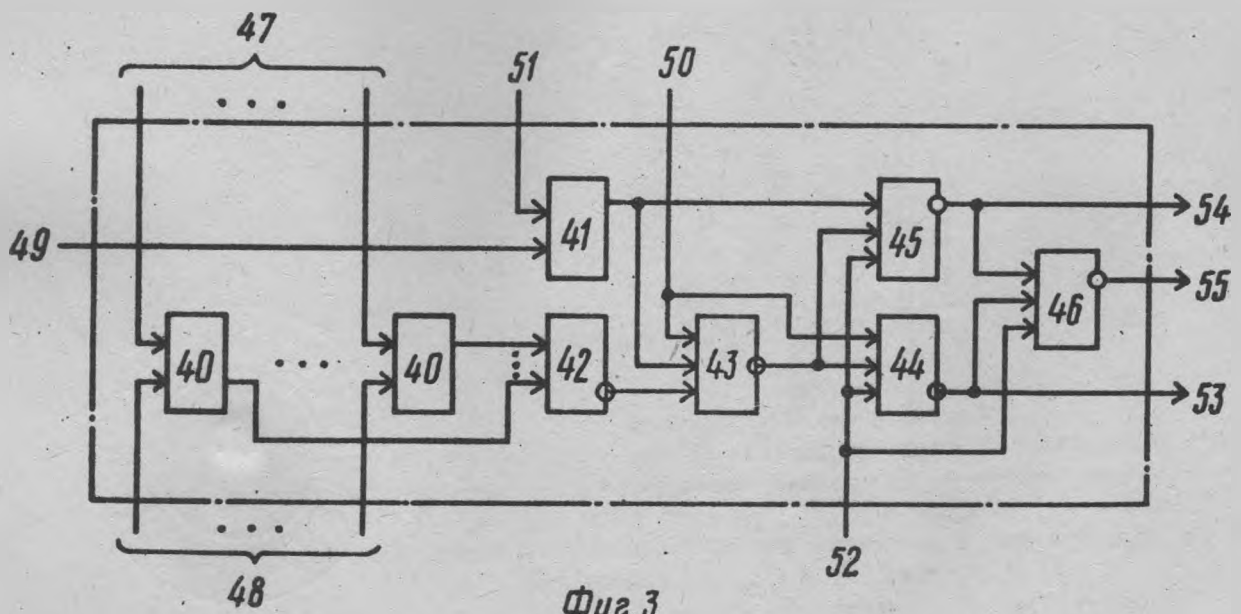
2. Устройство по п. 1, отличающееся тем, что блок коррекции ошибок содержит первый и второй регистры сдвига, группу управляемых инверторов, первую и вторую группы ключей, выходы которых подключены соответственно к установочным входам первого регистра сдвига и первым входам управляемых инверторов группы, выходы которых соединены с установочными входами второго регистра сдвига, информационный вход первого регистра сдвига является информационным входом блока, тактовые входы регистров сдвига объединены и являются первым входом блока, первые входы

ключей первой и второй групп и вторые входы управляемых инверторов группы соответственно объединены и являются вторым - четвертым управляющими входами блока, выходы разрядов первого регистра сдвига подключены к вторым входам соответствующих ключей второй группы и являются первыми выходами блока, выходы разрядов второго регистра сдвига соединены с вторыми входами соответствующих ключей первой группы и являются вторыми выходами блока, выход переполнения первого регистра сдвига подключен к информационному входу второго регистра сдвига и является третьим выходом блока.

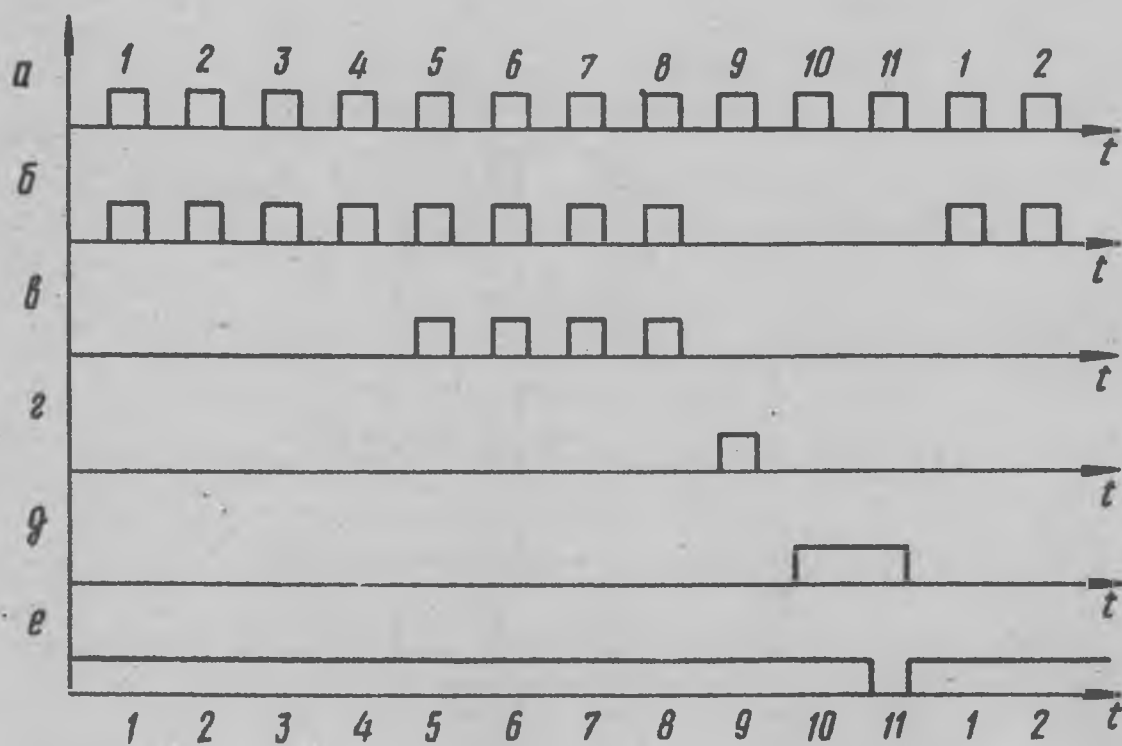
3. Устройство по п. 1, отличающееся тем, что блок сравнения кодов содержит элемент ИЛИ, первый - пятый элементы ИЛИ-НЕ и группу сумматоров по модулю два, первые и вторые входы которых являются соответственно первыми и вторыми информационными входами блока, первый вход элемента ИЛИ является первым управляющим входом блока, выход элемента ИЛИ подключен к первым входам второго и четвертого элементов ИЛИ-НЕ, выходы сумматоров по модулю два группы соединены с соответствующими входами первого элемента ИЛИ-НЕ, выход которого подключен к второму входу второго элемента ИЛИ-НЕ, третий вход которого объединен с первым входом третьего элемента ИЛИ-НЕ и является вторым управляющим входом блока, второй вход элемента ИЛИ является третьим управляющим входом блока, выход второго элемента ИЛИ-НЕ подключен к вторым входам третьего и четвертого элементов ИЛИ-НЕ, третьи входы которых объединены с первым входом пятого элемента ИЛИ-НЕ и являются четвертым управляющим входом блока, выходы третьего и четвертого элементов ИЛИ-НЕ соединены с вторым и третьим входами пятого элемента ИЛИ-НЕ и являются соответственно первым и вторым выходами блока, выход пятого элемента ИЛИ-НЕ является третьим выходом блока.



Фиг. 2



Фиг. 3



Фиг. 4

Редактор И.Дербак

Составитель О.Ревинский
Техред А.Кравчук

Корректор А.Обручар

Заказ 3050/56

Тираж 884

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101