

ИНФОРМАТИКА И ТЕХНИЧЕСКИЕ НАУКИ

МОДЕЛИРОВАНИЕ ПРОЦЕССОВ И УПРАВЛЕНИЕ В ТЕХНИЧЕСКИХ СИСТЕМАХ

УДК 621.3.29

П. П. Урбанович

Белорусский государственный технологический университет
(в сотрудничестве с Люблинским католическим университетом Иоанна Павла II, Польша)

МОДЕЛИРОВАНИЕ И АНАЛИЗ НАДЕЖНОСТНЫХ ПАРАМЕТРОВ ПОЛУПРОВОДНИКОВОЙ ПАМЯТИ ИНФОРМАЦИОННО-ВЫЧИСЛИТЕЛЬНЫХ УСТРОЙСТВ

Приведен анализ некоторых подходов в моделировании технологичности и надежности кристаллов и модулей полупроводниковой памяти. Один из существующих подходов основан на совершенствовании отдельных приборов (чипов) для повышения их надежности и выхода годных (технологичности); другой – на анализе фактической надежности приборов с целью получения достоверных данных, необходимых для расчета надежных характеристик модулей памяти или иной аппаратуры с памятью. Подчеркнуто, что дефекты и отказы в кристаллах и модулях полупроводниковой памяти, разработка адекватных моделей для описания указанных неисправностей, а также разработка и использование эффективных структурно-избыточных средств для нейтрализации неисправностей следует рассматривать и решать как единую комплексную проблему. Имеющиеся сведения о характере ошибок при обращении к модулям памяти (при считывании данных) персонального компьютера позволяют сделать предположение, что этот информационный канал можно рассматривать с точки зрения группирующегося характера информационных ошибок и связанного с этим группирования отказов в микросхемах памяти и каналах передачи информации с подключением полупроводниковой памяти. С учетом выявленных аналогий между распределениями ошибок и отказов (дефектов) в телефонных и телеграфных каналах передачи и в системах полупроводниковой памяти в статье рассмотрены подходы к моделированию распределения отказов в кристаллах памяти. Сформулирован вывод: для обобщенного отрицательного биномиального распределения средняя площадь кристалла, в которой содержится x отказов, тем меньше, чем больше само число отказов, или, чем больше отказов, тем сильнее они должны группироваться.

Ключевые слова: полупроводниковая память, дефекты и отказы, моделирование, надежность.

P. P. Urbanovich

Belarusian State Technological University
(in cooperation with the John Paul II Catholic University of Lublin, Poland)

MODELING AND ANALYSIS OF RELIABLE PARAMETERS OF SEMICONDUCTOR MEMORY OF INFORMATION AND COMPUTING DEVICES

The analysis of some approaches in modeling of the manufacturability and reliability of chips and modules of semiconductor memory is given. One of the existing approaches is based on the improvement of individual devices (chips) to increase their reliability and yield (manufacturability); the other is based on an analysis of the actual reliability of devices in order to obtain reliable data necessary for calculating of the reliability characteristics of memory modules or other memory equipment. It was emphasized that defects and failures in crystals and modules of semiconductor memory, the development of adequate models for describing these faults, and the development and use of effective structural redundant means for neutralizing of faults should be considered and solved as a unified complex problem.

The available information on the nature of errors in accessing the memory modules (readings) of a personal computer allow us to make an assumption, that this information channel can be analyzed from the point of view of the clustering nature of information errors, and the associated grouping of failures in memory chips and information channels with semiconductor memory. Taking into account the identified analogies between the distribution of errors and failures (defects) in the telephone and telegraph transmission channels and in semiconductor memory systems, the article considers approaches to the modeling of the distribution of failures in memory chips. The conclusion was formulated: for a generalized negative binomial distribution, the average chip area, which contains x failures, the less, the more the number of failures. Or, the more failures, the stronger they should be clustered.

Key words: semiconductor memory, defects and failures, modeling, reliability.

Введение. Поступательное увеличение сложности решаемых радиоэлектронными и вычислительными устройствами (прежде всего, это относится к бортовым средствам, компьютерным системам и сетям) задач требует соответствующего увеличения надежности и быстродействия как отдельных чипов (кристаллов), так и модулей (блоков) полупроводниковых запоминающих устройств (ЗУ), составляющих основу оперативной памяти аппаратуры.

В теоретических и прикладных исследованиях, касающихся, например, надежности памяти компьютера на основе полупроводниковых структур, используются, в основном, две методики [1]. Одна из них основана на совершенствовании отдельных приборов (чипов) и повышении их надежности. Другая – на анализе фактической надежности приборов с целью получения достоверных данных, необходимых для расчета надежностных характеристик модулей памяти или иной аппаратуры с памятью.

Указанная комплексная, двуединая задача: повышение надежности модулей памяти, с одной стороны, и отдельных кристаллов памяти, с другой, – решается, прежде всего, уменьшением геометрических размеров элементов, т. е. размер ячейки памяти накопителя непрерывно сокращается. Структура ячеек памяти тоже совершенствуется, но характерные для них ограничения и отрицательные черты остаются неизменными: указанные тенденции сказываются на заметном усилении электрических полей и увеличении плотности токов в кристалле, ужесточении требований по теплоотводу, повышенной восприимчивости кристалла к различным дестабилизирующим факторам, приводящим к появлению отказов и/или сбоев в работе блоков памяти. Исследованию физики, причинно-следственных связей указанного явления, поиску эффективных средств локализации информационных ошибок, появляющихся в результате неисправностей в ЗУ, ранее посвящались многие исследования, широко описывались основные результаты таких исследований как за рубежом (множественные ссылки на зарубежные публикации можно найти в [2]), так и у нас (например, [3–8]).

Причем основной причиной интереса к указанному объекту исследования являлась, по видимому, необходимость обеспечить экономическую эффективность производства кристаллов ЗУ [9]. Эта эффективность зависела в определяющей степени от качества технологического процесса производства изделий, которое проявлялось в уровне выхода годных (ВГ) либо в наличии большего или меньшего числа отказавших (неправильно функционирующих) элементов накопителя и других структурных блоков ЗУ.

Указанная выше ссылка [1] на комплексное исследование надежности полупроводниковых устройств памяти, выполненное известной корпорацией Toshiba, содержит достаточно глубокий анализ практически всего спектра современного состояния проблемы обеспечения функциональной надежности ЗУ. Содержание этой книги свидетельствует о том, что разработчики полупроводниковых ЗУ должны держать в поле своего зрения те же вопросы, что и их предшественники несколько десятилетий назад. Причем, в силу вышеупомянутых особенностей, эти вопросы приобрели новое качество.

Новизна, среди прочего, связана с необходимостью учета последствий влияния на ЗУ электромагнитных и ионизирующих излучений [10, 11]. Для радиоизлучения (как непрерывного, так и импульсного различной длительности) проведено достаточно много исследований по воздействию на материалы и приборные структуры. И было установлено, что на стойкость интегральных микросхем существенно влияют параметры радиоизлучения (несущая частота, длительность и частота повторения импульсов, ориентация относительно электромагнитных полей) и конструктивно-технологические особенности кристаллов (технология изготовления, топология микросхем, тип корпуса, выводов и т. п.).

Описанные результаты указывают на существенную роль преобразований точечно-дефектной структуры кристаллов, токоведущих линий, которые могут стимулироваться при воздействии радиоимпульсов.

В последнее время появляются публикации, в которых анализируются и моделируются отказы модулей памяти компьютеров и

иных информационно-вычислительных средств (см., например, [12]).

Достаточно эффективным средством для повышения ВГ стало размещение на кристалле дополнительных (резервных) ячеек памяти, которые соответствующими коммутациями заменяли выявленные дефектные элементы. Другой подход состоял в использовании избыточного (помехоустойчивого) кодирования (записываемой в накопитель) и, соответственно, декодирования (считываемой из накопителя ЗУ) информации [5, 8, 9]. Использование избыточных бит (бит паритета) в компьютерах было изначально предусмотрено на уровне шинного обмена данными между процессором и блоками оперативной и внешней памяти. При этом каждый байт данных «сопровождался» битом четности или паритета (parity bit), дополняющим количество единиц в байте до нечетного (или четного).

Стандарт, введенный IBM, предусматривал, что информация в банках памяти хранится фрагментами по девять бит, причем восемь из них (составляющих один байт) предназначены собственно для данных, а девятый является битом четности (parity). При обнаружении ошибки паритета схемой контроля (при чтении данных) вырабатывалось немаскируемое прерывание (NMI) и его обработчик обычно выводил на экран сообщение «Parity Error Check» (ошибка паритета) с указанием адреса сбойной ячейки и останавливал процессор командой Halt. Классическим примером архитектуры ЗУ с битом паритета является модуль SIMM (Single In Memory Module), в котором обычно один корпус (чип) памяти предназначался под хранение бит паритета. Если биты паритетов позволяли лишь обнаруживать одиночные (или даже большее число ошибок, если это число нечетно) ошибки в каждом байте данных, то избыточный код (ECC – Error Correcting Code – код, корректирующий ошибки), о котором мы упоминали выше, позволяет также исправлять ошибки.

Обозначенные проблемы: дефекты и отказы в кристаллах и модулях полупроводниковой памяти, разработка адекватных моделей для описания указанных неисправностей, а также разработка и использование эффективных структурно-избыточных средств для нейтрализации неисправностей (дефектов и отказов) – следует рассматривать и решать как единую комплексную проблему. В настоящей статье проанализируем особенности моделирования надежности устройств памяти с учетом характера распределения отказов и вызванных ими (а также иными, внешними факторами) ошибок в хранимой информации.

Основная часть. При моделировании надежности обычно оперируют тремя элемента-

ми: определением отказа (дефекта) или ошибки, временем (площадью, если речь идет о распределении по площади кристалла), параметрами окружающей среды и условиями эксплуатации изделия [1, 4, 7, 8, 13]. Понятно, что надежность является функцией времени при константных значениях остальных параметров. Здесь приведено некоторое отождествление времени с площадью с учетом того, что была установлена некоторая схожесть между распределением ошибок в телефонных каналах [14, 15], с одной стороны, и распределением дефектов в кристаллах памяти и на целых полупроводниковых пластинах [4, 6–8, 16–18] – с другой. Указанная схожесть базируется на использовании одного общего для обоих классов аппаратуры параметра – степени группирования ошибок в каналах связи и степени группирования дефектов в кристаллах памяти. Имеющиеся сведения о характере ошибок (считывания) при обращении к модулям памяти персонального компьютера [12, 19–21] позволяют сделать предположение, что и этот информационный канал можно рассматривать с точки зрения группирующегося характера отказов и связанного с этим группирования отказов в микросхемах памяти.

Следует отметить, что для описания характера распределения отказов и информационных ошибок применяются как непрерывные функции (экспоненциальное, логарифмическое нормальное и нормальное распределения, распределение Вейбулла, а также гамма-распределение), так и дискретные (геометрическое, биномиальное, отрицательное биномиальное (ОБР), обобщенное отрицательное биномиальное распределения (ООБР), распределение Пуассона) [1, 4–9, 16–18, 22].

Далее, с учетом выявленных аналогий между распределениями ошибок и отказов (дефектов) в каналах передачи и в системах полупроводниковой памяти, рассмотрим модель распределения отказов в кристаллах памяти, т. е. изменяющимся параметром будет являться площадь кристалла.

Пусть x – случайная величина, обозначающая число отказов, относящихся к площади S кристалла. Обозначим вероятность возникновения x отказов в области S как $P(x, S)$. Зададим для S приращение ΔS . Тогда можно записать:

$$P(x, S + \Delta S) = P(x, S | 0, \Delta S) + \\ + P(x - 1, S | 1, \Delta S) + P(x - 2, S | 2, \Delta S) + \\ + \dots + P(0, S | x, \Delta S), \quad (1)$$

где $P(\cdot | \cdot)$ означают условные вероятности. Например, $P(x - 1, S | 1, \Delta S)$ – вероятность возникновения $x - 1$ отказов в области площадью S

при наличии одного отказа в области ΔS . Если предположить, что ΔS достаточно мало, то вероятность появления в ΔS двух и более отказов также мала и в пределе ею можно пренебречь. Тогда выражение (1) можно записать в следующем виде:

$$P(x, S + \Delta S) = P(x, S | 0, \Delta S) + P(x - 1, S | 1, \Delta S). \quad (2)$$

Используя соотношения для условных вероятностей, преобразуем правую часть (2):

$$P(x, S + \Delta S) = P(x, S) \cdot P(0, \Delta S | x, S) + P(x - 1, S) \cdot P(1, \Delta S | x - 1, S). \quad (3)$$

Если возникновение отказов считать процессом независимым, то условные вероятности в (3) можно заменить безусловными:

$$P(x, S + \Delta S) = P(x, S) \cdot P(0, \Delta S) + P(x - 1, S) \cdot P(1, \Delta S). \quad (4)$$

Легко показать, что при $P(1, \Delta S) = \lambda \Delta S$ дальнейшие преобразования последнего выражения приведут к распределению Пуассона (см. [7, 21]). Условные вероятности в выражении (3) можно аппроксимировать следующим образом:

$$P(1, \Delta S | x - 1, S) = (c + bx) \Delta S, \quad (5)$$

где c и b – некоторые безразмерные коэффициенты.

Использование подобной аппроксимации и дальнейшие преобразования выражения (4) приводят к ООБР:

$$P(x, S) = \frac{1}{x!} \frac{\Gamma(x + c/b)}{\Gamma(x)} e^{-(x + c/b)bs} (e^{bs} - 1)^x$$

с производящей функцией вида

$$G(z, S) = e^{bs} - z(e^{bs} - 1), \quad (6)$$

где $\Gamma()$ – гамма-функция.

Используя производящую функцию, определим среднее и дисперсию ООБР соответственно:

$$\lambda = G'(z, S)_{z=1},$$

$$D_x = G''(z, S)_{z=1} + G'(z, S)_{z=1} - (G'(z, S)_{z=1})^2,$$

где G' , G'' – соответственно первая и вторая производные производящей функции.

С учетом этого получим:

$$\lambda = (e^{bs} - 1) \frac{c}{b}, \quad (7)$$

$$D_x = \lambda \left(1 + \frac{\lambda}{\alpha} \right), \quad (8)$$

где $\alpha = \frac{c}{b}$. Подстановка (7) и (8) в выражение для $P(x, S)$ после некоторых корректных упрощений приведет к следующему соотношению:

$$P(x) = \frac{1}{x!} \frac{\Gamma(x + \alpha)}{\Gamma(\alpha)} \frac{(\lambda / \alpha)^x}{(1 + \lambda / \alpha)^{\alpha + x}}. \quad (9)$$

Однако использование выражения для $P(x, S)$ при моделировании распределения отказов является предпочтительным по сравнению с (9). Это связано с тем, что первое позволяет учесть экспоненциальный рост среднего числа отказов на кристалле с увеличением площади кристалла при введении в него избыточных схем для обнаружения и нейтрализации отказов [5, 6, 18, 22], т. е. предполагается, что предлагаемый здесь подход повышает точность вычисления.

Сравнивая (7) и (8), легко заметить, что для конечных значений α среднее и дисперсия различны. Аналогичное различие характерно и для реальных данных [4–6, 8], в то время как для пуассоновского распределения эти величины совпадают.

Представляется целесообразным проанализировать использование ООБР и пуассоновского распределений с позиции учета группирования отказов. Для этого определим среднее значение площади, содержащей x отказов для обоих распределений. Сравнение таких величин для этих случаев может служить оценкой степени группирования. Для пуассоновского распределения:

$$m_{ns,x} = \int_0^{\infty} \frac{1}{x!} (DS)^x e^{-DS} dS = \frac{D^x}{x!} \int_0^{\infty} S^x e^{-DS} dS.$$

После несложных преобразований получим:

$$m_{ns,x} = \frac{1}{D}.$$

Определим аналогичную величину для ООБР:

$$m_{os,x} = \int_0^{\infty} \frac{\Gamma(x + \alpha)}{x! \Gamma(\alpha)} e^{-(x + \alpha)bs} (e^{bs} - 1)^x dS = \frac{1}{x!} \frac{\Gamma(x + \alpha)}{\Gamma(\alpha)} \int_0^{\infty} \frac{(e^{bx} - 1)^x}{e^{(x + \alpha)bs}} dS. \quad (10)$$

В последнем выражении делаем замену $e^{bs} - 1 = t$, тогда

$$S = \frac{1}{b} \ln(t + 1),$$

и, кроме того, формально

$$dt = be^{bs} dS, \quad dS = \frac{dt}{be^{bs}}.$$

С учетом указанной замены и подстановок перепишем (10):

$$\frac{1}{x!} \frac{\Gamma(x+\alpha)}{\Gamma(\alpha)} \int_0^\infty \frac{(e^{bS}-1)^x}{e^{(x+\alpha)bS}} dS =$$

$$= \frac{1}{x!} \frac{\Gamma(x+\alpha)}{\Gamma(\alpha)} \int_0^\infty \frac{t^x}{b(t+1)e^{(x+\alpha)\ln(t+1)}} dt.$$

Принимая во внимание, что

$$(t+1)e^{(x+\alpha)\ln(t+1)} = (t+1)^{x+\alpha+1},$$

соотношение (10) примет вид

$$\frac{1}{x!} \frac{\Gamma(x+\alpha)}{\Gamma(\alpha)} \frac{1}{b} \int_0^\infty \frac{t^x}{(t+1)^{x+\alpha+1}} dt =$$

$$= \frac{1}{x!} \frac{\Gamma(x+\alpha)}{\Gamma(\alpha)} \frac{1}{b} \int_0^\infty \frac{t^{z-1}}{(t+1)^{z+\alpha}} dt. \quad (11)$$

В последнем интеграле величину $x+1$ обозначим как z , тогда

$$\frac{1}{x!} \frac{\Gamma(x+\alpha)}{\Gamma(\alpha)} \frac{1}{b} \int_0^\infty \frac{t^x}{(t+1)^{x+\alpha+1}} dt =$$

$$= \frac{1}{x!} \frac{\Gamma(x+\alpha)}{\Gamma(\alpha)} \frac{1}{b} \int_0^\infty \frac{t^{z-1}}{(t+1)^{z+\alpha}} dt. \quad (12)$$

Интеграл в (12) есть бета-функция с аргументами z и α , которая определяется следующим образом:

$$\int_0^\infty \frac{t^{z-1}}{(t+1)^{z+\alpha}} dt = B(z, \alpha). \quad (13)$$

Выразим бета-функцию через гамма-функцию:

$$B(z, \alpha) = \frac{\Gamma(z)\Gamma(\alpha)}{\Gamma(z+\alpha)}.$$

С учетом последнего выражения соотношение (12) примет следующий вид:

$$\frac{1}{x!} \frac{\Gamma(x+\alpha)}{\Gamma(\alpha)} \frac{1}{b} \int_0^\infty \frac{t^x}{(t+1)^{x+\alpha+1}} dt =$$

$$= \frac{1}{x!} \frac{\Gamma(x+\alpha)}{\Gamma(\alpha)} \frac{1}{b} \frac{\Gamma(x+1)\Gamma(\alpha)}{\Gamma(x+1+\alpha)}. \quad (14)$$

Используя формулы приведения для гамма-функций при $\alpha = \frac{c}{b}$, выражение (14) можно преобразовать к следующему виду:

$$\frac{1}{x!} \frac{\Gamma(x+c/b)}{b} \frac{\Gamma(x+1)}{\Gamma(x+1+c/b)} =$$

$$= \frac{\Gamma(x+c/b)}{x!b} \frac{x!}{(x+c/b)\Gamma(x+c/b)} =$$

$$= \frac{1}{b(x+c/b)} = \frac{1}{c+bx}. \quad (15)$$

Таким образом, окончательно получили:

$$m_{os,x} = \frac{1}{c+bx}.$$

Из этого следует важнейший вывод: для ООБР средняя площадь, в которой содержится x отказов, тем меньше, чем больше само число отказов.

Иными словами, чем больше отказов, тем сильнее они должны группироваться. Зная параметры c и b , можно определить среднее значение размеров скоплений отказов.

Заключение. С учетом выявленных аналогий между распределениями ошибок и отказов (дефектов) в телефонных и телеграфных каналах передачи и в системах полупроводниковой памяти в статье рассмотрены подходы к моделированию распределения отказов в кристаллах памяти. Это важно с учетом того, что характер распределения отказов и информационные ошибки модулей памяти в информационно-вычислительных системах взаимосвязаны.

Отмечается, что для описания характера распределения отказов и информационных ошибок в системах полупроводниковой памяти применяются как непрерывные функции (экспоненциальное, логарифмическое нормальное и нормальное распределения, распределение Вейбулла, а также гамма-распределение), так и дискретные (геометрическое, биномиальное, отрицательное биномиальное (ОБР), обобщенное отрицательное биномиальное распределение (ООБР), распределение Пуассона). Сформулирован вывод: для ООБР средняя площадь кристалла с x отказами уменьшается при увеличении числа отказов. Это означает следующее: чем больше отказов сосредоточено на некоторой площади кристалла, тем сильнее они должны группироваться.

С учетом этого фактора должны проектироваться одно- и многокристалльные ЗУ. При этом параметр группирования должен учитываться при выборе избыточного (помехоустойчивого) кода, корректирующего наиболее вероятные ошибки.

Литература

1. Toshiba Memory Corporation Reliability Handbook, ver. 2, July 2018. URL: <https://business.toshiba-memory.com/content/dam/toshiba-ss/shared/docs/design-support/reliability/reliability-handbook-tmc-en.pdf> (date of access: 14.04.2019).
2. Лосев В. В., Конопелько В. К., Урбанович П. П. Системы памяти на базе запоминающих устройств с дефектными элементами // Зарубежная электронная техника. 1982. № 9. С. 3–33.

3. Валиев К. А., Орликовский А. А. Полупроводниковые интегральные схемы памяти на биполярных транзисторных структурах. М.: Советское радио, 1979. 331 с.
4. Статистические характеристики распределения отказов в кристаллах полупроводниковых запоминающих устройств / П. П. Урбанович [и др.] // Изв. вузов. Приборостроение. 1983. № 1. С. 93–95.
5. Конопелько В. К., Лосев В. В. Надежное хранение информации в полупроводниковых запоминающих устройствах. М.: Советское радио, 1986. 340 с.
6. Верниковский Е. А., Урбанович П. П. Статистические характеристики отказов запоминающих элементов в микросхемах памяти // Электронная техника. Сер. 3, Микроэлектроника. 1989. Т. 130, вып. 1. С. 61–63.
7. Майоров С. А., Урбанович П. П. Определение характеристик распределения дефектов в микросхемах полупроводниковых ОЗУ // Электронная техника. Сер. 3, Микроэлектроника. 1992. Вып. 1 (146). С. 42–45.
8. Урбанович П. П., Алексеев В. Ф., Верниковский Е. А. Избыточность в полупроводниковых интегральных микросхемах памяти. Минск: Наука і тэхніка, 1995. 262 с.
9. Урбанович П. П. Эффективность применения корректирующих кодов в больших интегральных схемах запоминающих устройств // Изв. вузов. Радиоэлектроника. 1982. № 5. С. 85–87.
10. Абрамешин А. Е., Жаднов В. В., Жаднов И. В. Расчетная оценка надежности электронных модулей аппаратуры космических аппаратов // Технологии ЭМС. 2012. № 1. С. 29–33.
11. Ключник А. В., Пирогов Ю. А., Солодов А. В. Методические аспекты исследования стойкости интегральных микросхем в электромагнитных полях импульсного радиоизлучения // Журнал радиоэлектроники. 2010. № 8. С. 1–27.
12. Schroeder V., Pinheiro E., Weber W.-D. DRAM Errors in the Wild: A Large-Scale Field Study // Communications of the ACM. 2009. № 54. P. 193–204.
13. Надежность в технике (ССНТ). Термины и определения: ГОСТ 27.002–2015. URL: <http://docs.cntd.ru/document/1200136419> (дата обращения: 01.04.2019).
14. Урбанович П. П., Пацей Н. В., Спиридонов В. В. Распределение ошибок в телефонных каналах передачи дискретной информации // Известия белорусской инженерной академии. 1997. № 1. С. 24–26.
15. Пуртов Л. П., Замрий А. С., Шаповалов И. Ф. Характер распределения ошибок в телефонных каналах при передаче дискретных сообщений // Электросвязь. 1965. № 6. С. 31–40.
16. Урбанович П. П. Модель распределения дефектных запоминающих элементов на кристаллах БИС ЗУ // Изв. вузов. Радиоэлектроника. 1986. Т. 29, № 9. С. 92–95.
17. Урбанович П. П. Прогнозирующий расчет надежности избыточных БИС запоминающих устройств // Микроэлектроника. 1990. Т. 19, вып. 6. С. 542–548.
18. Урбанович П. П., Лойка С. Л. Надежность отказоустойчивых микросхем памяти, в которых информация согласовывается с состоянием отказавших запоминающих элементов // Микроэлектроника. 1991. Т. 20, вып. 5. С. 492–497.
19. Seshagiri Rao V. R., Rani Asha. Reliability measurement of memory system using spare blocks // International Journal of Electrical Engineering & Technology (IJEET). 2018. Vol. 9, issue 1. P. 18–25.
20. Fault group pattern matching with efficient early termination for high-speed redundancy analysis / H. Lee [et al.] // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. 2018. Vol. 37. P. 1473–1482.
21. Stapper C. H. On yield, fault distributions and clustering of particles // IBM J. Res. Develop. 1986. Vol. 30, no. 3. P. 326–338.
22. Урбанович П. П., Шиман Д. В. Защита информации и надежность информационных систем. Минск: БГТУ, 2014. 91 с.

References

1. Toshiba Memory Corporation Reliability Handbook, ver. 2, July 2018. Available at: <https://business.toshiba-memory.com/content/dam/toshiba-ss/shared/docs/design-support/reliability/reliability-handbook-tmc-en.pdf> (accessed 14.04.2019).
2. Losev V. V., Konopelko V. K., Urbanovich P. P. Memory systems based on memory devices with defective elements. *Zarubezhnaya elektronaya tekhnika* [Foreign electronics], 1982, no. 9, pp. 3–33 (In Russian).
3. Valiev K. A., Orlikovskiy A. A. *Poluprovodnikovyye integral'nyye skhemy pamyati na bipolyarnykh tranzistornykh strukturakh* [Semiconductor memory integrated circuits on bipolar transistor structures]. Moscow, Sovetskoye radio Publ., 1979. 331 p.
4. Urbanovich P. P., Losev V. V., Konopelko V. K., Sukhoparov A. I. Statistical characteristics of the distribution of failures in crystals of semiconductor memory devices. *Izvestiya vuzov. Priborostroeniye* [Journal of Instrument Engineering], 1983, no. 1, pp. 93–95 (In Russian).

5. Konopelko V. K., Losev V. V. *Nadezhnoye khraneniye informatsii v poluprovodnikovyykh zapominayushchikh ustroystvakh* [Reliable information storage in semiconductor memory devices]. Moscow, Sovetskoye radio Publ., 1986. 340 p.
6. Vernikovskiy E. A., Urbanovich P. P. Statistical characteristics of failures of memory elements in memory chips. *Elektronnaya tekhnika* [Electronic equipment], series 3, Microelectronics, 1989, vol. 130, issue 1, pp. 61–63 (In Russian).
7. Mayorov S. A., Urbanovich P. P. Determining the characteristics of the distribution of defects in the semiconductor RAM chips. *Elektronnaya tekhnika* [Electronic equipment], series 3, Microelectronics, 1992, issue 1, pp. 42–45 (In Russian).
8. Urbanovich P. P., Alekseev V. F., Vernikovskiy E. A. *Izbytochnost' v poluprovodnikovyykh integral'nykh mikroskhemakh pamyati* [Redundancy in semiconductor integrated memory chips]. Minsk, Navuka i tekhnika Publ., 1995. 262 p.
9. Urbanovich P. P. The efficiency of correction codes applying in large integrated storage circuits. *Izvestiya vuzov. Radioelektronika* [Radioelectronics and Communications Systems], 1982, no. 5, pp. 85–87 (In Russian).
10. Abrameshin A. E., Zhadnov V. V., Zhadnov I. V. Estimated reliability assessment of electronic modules of spacecraft equipment. *Tekhnologii EMS* [Technologies of electromagnetic compatibility], 2012, no. 1, pp. 29–33 (In Russian).
11. Klyuchnik A. V., Pirogov Yu. A., Solodov A. V. Methodical aspects of the study of the stability of integrated circuits in the electromagnetic fields of pulsed radio emission. *Zhurnal radioelektroniki* [Journal of Radio Electronics], 2010, no. 8, pp. 1–27 (In Russian).
12. Schroeder B., Pinheiro E., Weber W.-D. DRAM Errors in the Wild: A Large-Scale Field Study. *Communications of the ACM*, 2009, no. 54, pp. 193–204.
13. GOST 27.002–2015. Reliability in engineering. Terms and Definitions. Available at: <http://docs.cntd.ru/document/1200136419> (accessed 01.04.2019).
14. Urbanovich P. P., Patsey N. V., Spiridonov V. V. Distribution of errors in telephone channels for the transmission of discrete information. *Izvestiya belorusskoy inzhenernoy akademii* [News of the Belarusian Academy of Engineering], 1997, no. 1, pp. 24–26 (In Russian).
15. Purtov L. P., Zamriy A. S., Shapovalov I. F. The nature of the distribution of errors in telephone channels during the transmission of discrete messages. *Elektrosvyaz'* [Telecommunications], 1965, no. 6, pp. 31–40 (In Russian).
16. Urbanovich P. P. Distribution model of defective storage elements on LSI memory chips. *Izvestiya vuzov. Radioelektronika* [Radioelectronics and Communications Systems], 1986, vol. 29, no. 9, pp. 92–95 (In Russian).
17. Urbanovich P. P. A predictive calculation of the reliability of excessive LSI storage devices. *Mikroelektronika* [Microelectronics], 1990, vol. 19, issue 6, pp. 542–548 (In Russian).
18. Urbanovich P. P., Loyka S. L. Reliability of fault-tolerant memory microcircuits, in which the information is coordinated with the state of the failed storage elements. *Mikroelektronika* [Microelectronics], 1991, vol. 20, issue 5, pp. 492–497 (In Russian).
19. Seshagiri Rao V. R., Rani Asha. Reliability measurement of memory system using spare blocks. *International Journal of Electrical Engineering & Technology (IJEET)*, 2018, vol. 9, issue 1, pp. 18–25.
20. Lee H., Cho K., Kim D., Kang S. Fault group pattern matching with efficient early termination for high-speed redundancy analysis. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2018, vol. 37, pp. 1473–1482.
21. Stapper C. H. On yield, fault distributions and clustering of particles. *IBM J. Res. Develop.*, 1986, vol. 30, no. 3, pp. 326–338.
22. Urbanovich P. P., Shiman D. V. *Zashchita informatsii i nadezhnost' informatsionnykh sistem* [Information security and reliability of information systems]. Minsk, BSTU Publ., 2014. 91 p.

Информация об авторе

Урбанович Павел Павлович – доктор технических наук, профессор, профессор кафедры информационных систем и технологий. Белорусский государственный технологический университет (220006, г. Минск, ул. Свердлова, 13а, Республика Беларусь). E-mail: p.urbanovich@belstu.by

Information about the author

Urbanovich Pavel Pavlovich – DSc (Engineering), Professor, Professor, the Department of Information Systems and Technology. Belarusian State Technological University (13a, Sverdlova str., 220006, Minsk, Republic of Belarus). E-mail: p.urbanovich@belstu.by

Поступила 15.05.2019