

МАТЕМАТИЧЕСКАЯ МОДЕЛЬ БЛОКА УПРАВЛЕНИЯ ИЗМЕРИТЕЛЬНЫМИ КАНАЛАМИ

The paper considers the issue of unification of the basic algorithm of synthesis of real-time computation structures. The said algorithm suggests multiple execution of a significant number of its blocks because the optimum structure is selected according to this algorithm from an aggregate of viable options at the final stage of algorithm execution. Thus one of key tasks to be solved in designing complex technical objects, the real-time systems being a part of them, is the shooting for labor and time saving solutions. Suggested is the method based on the combinatory logic in selecting optimum structures out of an aggregate of correct options.

Введение. Решение проблемы синхронизации вычислительной структуры предполагает формирование последовательности управляющих сигналов в соответствии с координатами вектора временной развертки с периодичностью, обусловленной условиями цикличности реализации вычислительного процесса.

Основным требованием к средствам решения этой проблемы является высокая точность формирования временных интервалов, от которой зависит, будет ли удовлетворять синтезируемая вычислительная структура условию организации вычислительного процесса в реальном времени. До сегодняшнего дня для решения проблемы формирования управляющих сигналов использовались два подхода: применение цифровых автоматов и микропрограммное управление.

Цифровые автоматы (устройства управления на основе схемной логики) способны обеспечить наивысшее быстродействие при заданном типе технологии элементов. Основные недостатки этих управляющих устройств: отсутствие возможности применения последних достижений микроэлектроники – больших интегральных схем и сверхбольших интегральных схем.

Принципиальная непригодность для формирования вектора временной развертки обусловлена ориентацией цифровых автоматов на формирование управляющих сигналов в соответствии с логическими выражениями без учета временной зависимости между этими сигналами.

Использование микропрограммного принципа построения устройств управления, широко распространенного в ЭВМ малой и средней производительности, устройствах управления периферией, некоторых типах микропроцессоров, является нецелесообразным для решения поставленной проблемы по следующим причинам:

- потребность в большом формате микрокоманды, возрастающем с ростом сложности проектируемой вычислительной системы (ВС);
- чрезвычайно нерациональное применение управляющей памяти из-за низкой вероятности одновременного включения нескольких

функциональных устройств (ФУ) и возможности широкой разбежки между значениями координат вектора временной развертки (это предполагает использование определенной последовательности «пустых» микрокоманд);

- потребность в быстродействующей управляющей памяти независимо от уровней временной иерархии;

- низкая точность формирования временных интервалов и, как следствие, повышение вероятности потери возможности реализации вычислительного процесса в реальном времени.

Данные особенности известных принципов построения управляющих устройств обусловили необходимость разработки принципиально нового подхода к решению задачи формирования управляющих сигналов для параллельно-конвейерных ВС реального времени.

Ниже предлагается метод синтеза блоков управления, которые ориентированы на реализацию последовательностей сигналов в соответствии с заданным вектором временной развертки, основанным на преобразовании исходного графа алгоритма, реализующего математическую модель функционала временной развертки [1].

Основная часть. Совокупность исходных данных для синтеза блоков управления разделим на две группы.

К первой группе отнесем ряд результатов, полученных при реализации процедур синтеза вычислительных структур [2]. К их числу относятся следующие:

1. Функционал временной развертки

$$\Phi(t(j, q))_{j=1, \bar{J}} = \begin{cases} (t(1, 1), t(1, 2), \dots, t(1, Q)) + \Delta t_1 k_1; \\ \vdots \\ (t(j, 1), t(j, 2), \dots, t(j, Q)) + \Delta t_j k_j; \\ \vdots \\ (t(J, 1), t(J, 2), \dots, t(J, Q)) + \Delta t_J k_J; \end{cases}$$

где

$$k_{j/j=1, \bar{J}} = 0, 1, 2, 3, \dots, t(j, 1), t(j, 2), \dots, t(j, Q) -$$

моменты включения j -го ФУ на первом цикле функционирования вычислительной структуры, равном

$$\Delta t_j = \Delta t(\gamma): v_j \in V(\gamma).$$

2. Такт вычислительной структуры τ_c .

3. Множества вершин γ -х уровней временной иерархии

$$V(\gamma) = \{v_\gamma\}, \gamma = \overline{1, \Gamma}.$$

4. Вектор шагов дискретизации

$$\vec{\delta t} = (\Delta t(1), \Delta t(2), \dots, \Delta t(\Gamma)).$$

5. Вектора усеченных путей

$$\vec{L}_k = (v(1)^{(k)}, v(2)^{(k)}, \dots, v(n_k)^{(k)}), k = \overline{1, K_c},$$

где K_c – множество усеченных путей вершин графа алгоритма (ВГА).

6. Множества вершин, образующих ступени конвейеров

$$V(L, \mu) = \{v^{(k)}(L, \mu)\},$$

где $\mu = \overline{1, \rho_L}$ – номер ступени конвейера пути L ;

ρ_L – количество ступеней конвейера пути L ;

$k = \overline{1, K_\mu}$ – номер вершины μ -й ступени пути L ;

K_μ – количество вершин μ -й ступени пути L .

7. Вектор вершин, которым назначено ФУ типа мультиплексор

$$\vec{V}_{MX} = (v_1^{(MX)}, v_2^{(MX)}, \dots, v_s^{(MX)}),$$

где s – количество вершин, которым назначено ФУ типа «мультиплексор».

8. Количество информационных входов мультиплексоров в виде вектора

$$\vec{K}_{MX} = (k_1^{(MX)}, k_2^{(MX)}, \dots, k_s^{(MX)}).$$

9. Требования к синхронизации ФУ вычислительной структуры

$$\{\vec{c}_j\} = \{(c_1^{(j)}, c_2^{(j)}, c_3^{(j)}, c_4^{(j)})\},$$

где

$$c_1^{(j)} \Big|_{j=\overline{1, J}} = \begin{cases} 0, & \text{если ФУ} \\ & \text{не требует} \\ & \text{синхронизации;} \\ 1, & \text{в противном случае;} \end{cases}$$

$$c_2^{(j)} = \begin{cases} 0 & \text{при синхронизации} \\ & \text{по фронту;} \\ 1 & \text{при синхронизации} \\ & \text{потенциалом или импульсом;} \end{cases}$$

$$c_3^{(j)} = \begin{cases} 0 & \text{при синхронизации высоким} \\ & \text{потенциалом или переключением} \\ & \text{синхросигнала с высокого на низкий;} \\ 1 & \text{при синхронизации высоким} \\ & \text{потенциалом или переключением} \\ & \text{синхросигнала с низкого на высокий;} \end{cases}$$

$$c_4^{(j)} = \begin{cases} 0 & \text{при синхронизации фронтом;} \\ 1 & \text{при синхронизации импульсом,} \end{cases}$$

где τ_0 – минимально допустимая продолжительность управляющего импульса при синхронизации импульсом или требуемая продолжительность действия потенциала.

Ко второй группе относятся параметры ФУ для реализации блоков управления. Это, в первую очередь, параметры основных ФУ:

1. Частота переключения для ФУ, реализующих функции

$$X_3(\cdot), X_D(\cdot), X_K(\cdot), X_B(\cdot).$$

2. Признак типа ФУ для этих ФУ

$$d_j = \begin{cases} 0 & \text{для ФУ} \\ & \text{с программным управлением,} \\ 1 & \text{для ФУ с жесткой аппаратной} \\ & \text{реализацией.} \end{cases}$$

3. Максимальное значение коэффициента деления ФУ, реализующих функцию $X_D(\cdot)$ при

$d_j = 0 - K_{D_{\max}}^{(j)}$, коэффициент деления $K_D^{(j)}$ при $d_j = 1$.

4. Параметры задержки ФУ, реализующих функцию $X_3(\cdot)$.

5. Максимальное значение формируемого временного интервала $\tau_{\text{инт max}}$ для дуг, реализующих функцию $X_B(\cdot)$.

6. Длительность задержки распространения $\tau_{з \text{ рас}}$ для логических элементов дизъюнкции, ввода, вывода $t(i)$.

7. Время доступа для ФУ ввода параметров $K_3, K_D - \tau_d$.

Для служебных ФУ задается ряд следующих параметров:

1. Полоса частоты генерации (f_{r1}, f_{r2}) для генератора тактовых импульсов.

2. Длительность задержки распространения $\tau_з$ для инверторов, частота переключения $f_{\text{пер}}$, количество состояний $K_{\text{сост}}$ для устройств управления мультиплексорами.

3. Диапазон изменения длительности выходного импульса для формирователей импульсов.

4. Частота переключения для ФУ управления мультиплексорами $f_{\text{пер}}$.

Задача синтеза блоков управления систем контроля параметров технологических процессов с учетом совокупности приведенных исходных данных и введенных понятий формулируется следующим образом.

Известен функционал временной развертки графа вычислительной структуры, способы отображения его путей на вычислительные архитектуры, требования по организации синхронизации функциональных устройств, назначенных вершинам графа, набор функциональных устройств для формирования и преобразования временных интервалов. Далее выбирается состав функциональных устройств, строится граф блока управления, позволяющий организовать циклический вычислительный процесс в реальном времени, согласно программе, определяемой функционалом временной развертки [1].

В данном случае в качестве модели системы контроля параметров технологических процессов выбрали регистратор многоканальный РМ-2201, выпускаемый серийно ОАО «МНИПИ». В разработанном приборе имеется 16 измерительных каналов, к которым подключаются датчики, выполняющие определенные измерения и обеспечивающие достижение заданных результатов системы контроля [3].

Управление осуществляется группой объектов, т. е. каналами. Их виртуальная структура представляется в виде совокупности bitmap-карт, каждая из которых имеет свою программу управления (алгоритм). При управлении сложным объектом процессор по очереди обслуживает, опрашивает измерительные каналы. Эта очередь может осуществляться по жесткой программе или по мере поступления заявок от отдельных каналов с возможностью использования в последнем случае приоритетного обслуживания.

В системе реализованы несколько алгоритмов управления АУ1, АУ2, ..., АУ l , каждый из которых выбирается в зависимости от результата оценивания корреляционной функции входного воздействия $g(o)[nT]$ блоками выборки данных и коммутации выхода.

Переключение между каналами осуществляется в реальном масштабе времени на программном уровне. На систему управления в данном случае возлагается функция распознавания образов, записанных в bitmap-картах, соответствующих определенным запросам по подключению того или иного канала.

В основной состав блока управления системы контроля параметров технологических процессов входят ПЭВМ, аналого-цифровой преобразователь (АЦП), дисплей для отображения результатов и запросов, клавиатура, преобразователь команд управления. В памяти ПЭВМ хранится программа с готовыми решениями – bitmap-картами для измерительных каналов.

Модификация решений может производиться через клавиатуру, что позволяет видоизменять систему без аппаратурной перестройки. В режиме управления каналами на вход АЦП поступают сигналы от датчиков температуры. Цифровые сигналы от контактов переключателей и клавиатуры поступают в ПЭВМ напрямую через 16 входов интегральной схемы интерфейса. Для проведения нужных измерений система генерирует синусоидальный сигнал модуляции и вырабатывает последовательность синхроимпульсов. Генерируемый синусоидальный сигнал состоит из определенного количества ступенек, формируемых табличным bitmap-способом. При каждом прерывании от таймера ПЭВМ переходит к программе выборки очередного значения синусоиды. Полученное фазовое слово, характеризующее частоту и фазу синусоиды, и синхроимпульс передаются в ПЭВМ.

Получив синхроимпульс, ПЭВМ запрашивает отсчет у быстродействующего АЦП и принимает фазовую информацию от ПЭВМ. Отсчет, выданный АЦП, записывается в ячейку ассоциативной памяти, номер которой отвечает фазовому слову. Отсчеты, соответствующие одному периоду сигнала, образуют группу. Каждая последующая группа отсчетов записывается в те же ячейки памяти, добавляясь к уже имеющемуся содержимому этих ячеек. Этот процесс повторяется до завершения заданного количества периодов модуляции.

Результатом работы программы являются сигналы, которые представляют собой цифровые данные о температуре и выводятся на дисплей системы. Здесь также предусмотрена возможность применения программ обработки прерываний для планирования критически важных задач с управлением по неожиданным событиям. Ускорение передачи данных достигается согласованием в цикле чтения данных времени преобразования аналоговой величины в цифровую с временем выполнения команд программы быстрой передачи данных. Цикл ожидания исключается. В частности, после инициализации (первичного запуска) системы программа входит в цикл чтения данных с карт. При каждом обращении программы к некоторому адресу bitmap-карты происходит формирование сигнала, запускающего АЦП в новый цикл преобразования. Пока система выполняет очередные команды программы передачи данных, цикл преобразования завершается и данные могут быть введены в память.

Система прерывания позволяет с помощью определенного сигнала внешнего устройства прервать программу, выполняемую обработку канала, и вызвать для исполнения программу с более высоким приоритетом канала. После окончания программы с более высоким

приоритетом ПЭВМ автоматически возвращается к прерванной программе. Прерывания при вводе-выводе могут быть обусловлены следующими условиями:

- 1) готовность внешних устройств по вводу-выводу данных;
- 2) появление ошибок при вводе-выводе;
- 3) возникновение особого условия во внешних устройствах, например аварийной ситуации.

Возможны также и другие причины возникновения прерываний.

При наличии режима прерывания система не ожидает готовности внешних устройств к обмену данными, а выполняет основную программу до тех пор, пока от внешнего устройства не поступит запрос на прерывание. В результате повышается производительность системы.

Схема управления регистратором многоканальным с 16 измерительными каналами работает следующим образом. Каждое из шестнадцати внешних устройств (каналов) может в любой момент времени запросить прерывание, формируя сигнал на своей линии запроса. Запрос запоминается в регистре запросов прерывания.

Когда система воспринимает сигнал ЗАПРОС ПРЕРЫВАНИЯ, ее логика управления генерирует сигнал ПОДТВЕРЖДЕНИЕ ПРЕРЫВАНИЯ, указывающий на то, что система готова приступить к обслуживанию прерывания. Тогда содержимое выходного буферного регистра поступает на линию данных, и система начинает обслуживать прерывание с другой ячейкой памяти.

Для эффективного формирования вариантов маршрутов по комплексу или приоритетному показателю используется метод оптимизации, разработанный на базе теории и базового алгоритма синтеза вычислительных структур реального времени [4].

При реализации метода усекается дерево поиска структурных решений, которые представляют собой набор готовых алгоритмов, реализованных в bitmap-картах. Применение данного метода позволило снизить трудоемкость при выборе алгоритма, соответствующего запросу и определению опрашиваемого канала. При уменьшении трудоемкости снизилось количество операций, требуемых для определе-

ния оптимального варианта выбора измерительного канала, соответствующего запросу. При этом увеличилась надежность расчетов и скорость обработки информации, освободились другие не менее важные машинные ресурсы.

Заключение. Разработанный метод оптимизации базового алгоритма проектирования позволяет осуществлять поиск снижения трудоемкости при проектировании систем контроля параметров технологических процессов. Также сокращен требуемый объем памяти для хранения исходных данных и промежуточных результатов.

Математическая модель и алгоритм синтеза параллельно-конвейерных вычислительных структур блока управления позволили:

– представить эту модель графом вычислительного алгоритма, что обуславливает удобство его преобразования рядом несложных процедур с целью уменьшения его размерности;

– отображать вершины графа на простые функциональные устройства для реализации временных преобразований.

При адаптации метода синтеза блоков управления измерительными каналами была решена проблема формирования управляющих сигналов для систем контроля в соответствии с функционалом временной развертки.

Литература

1. Кобайло, А. С. Основы теории синтеза вычислительных структур реального времени / А. С. Кобайло. – Минск: БГУИР, 2001. – 236 с.
2. Жилияк, Н. А. Базовый алгоритм синтеза вычислительных структур реального времени / Н. А. Жилияк, А. С. Кобайло // Труды БГТУ. Сер. VI, Физ.-мат. науки и информ. – 2007. – Вып. XV. – С. 147–150.
3. Жилияк, Н. А. Разработка блоков управления систем реального времени / Н. А. Жилияк // НИРС – 2005: сб. тез. докл. X Респ. науч. конф. студентов и аспирантов вузов Респ. Беларусь. – Минск: БГУИР, 2006. – С. 146.
4. Жилияк, Н. А. Математические основы синтеза блоков управления вычислительных систем реального времени / Н. А. Жилияк // Материалы IX Респ. науч. конф. студентов и аспирантов. – Гомель: ГГУ, 2006. – С. 218–219.