

СИСТЕМЫ ПОЛУПРОВОДНИКОВОЙ ПАМЯТИ С ИНТЕГРАЦИЕЙ НА ПЛАСТИНЕ НА ОСНОВЕ ТРЕХМЕРНЫХ КОДОВ

The article are considered some aspects of synthesis and using a new type of the code — three-dimensional iterative code. New structural scheme of the semiconductor memory is analyzed.

Поступательное и все ускоряющееся улучшение основных эксплуатационных параметров (быстродействие, емкость оперативных запоминающих устройств (ОЗУ) и др.) персональных компьютеров и других средств вычислительной техники, продиктованное необходимостью внедрения новых информационных технологий, базируется на улучшении адекватных параметров, прежде всего, полупроводниковых устройств хранения и выдачи информации (ОЗУ, ПЗУ, ППЗУ). Принятое за рубежом направление усовершенствования таких систем памяти основывается на создании систем памяти, интегрированных на целой полупроводниковой пластине (WSI — wafer scale integration).

Двухмерные итеративные коды, широко применяемые на практике и более известные как HV-коды, являются простейшим примером использования методов комбинирования известных кодов для построения новых и представляют собой прямое произведение кодов простой проверки на четность [1]. Физически такой способ кодирования представляется организацией информационного сообщения в виде таблицы, элементами последней строки и последнего столбца которой являются свертки по модулю два соответствующих строк и столбцов. Особенность таких кодов — это схожесть их организации со структурой хранимой информации на кристалле системы памяти. В [2] проведено достаточно подробное исследование таких кодов, определено минимальное кодовое расстояние, разработаны алгоритмы кодирования, декодирования.

При использовании WSI в качестве системы памяти естественным представляется обобщение итеративных кодов на трехмерный случай. Возможность такого обобщения появляется благодаря тому, что в WSI суммарная емкость системы набирается из однотипных элементов — блоков. Физически такой способ кодирования можно представить в виде куба или параллелепипеда, состоящего из n одинаковых накопителей (отдельных блоков кристалла), "наложенных" друг на друга. Боковые стенки этого куба образуются совокупностью элементов четности n матриц. Верхняя грань является совокупностью элементов четности всех элементов, содержащихся в каждой матрице. В дальнейшем на основе общих характеристик кодов прямого произведения получим основные характеристики кода и рассмотрим его техническую реализацию применительно к WSI.

Пусть существуют два кода — A и B — с параметрами $[n_1, k_1, d_1]$ и $[n_2, k_2, d_2]$, где n, k, d — соответственно общее число разрядов, число информационных разрядов и минимальное кодовое расстояние. Тогда справедлива следующая теорема.

Теорема 1 [3]. Прямым, или кронекеровским произведением двух кодов A и B является код C с параметрами $[n_1 \cdot n_2, k_1 \cdot k_2, d_1 \cdot d_2]$.

Теорема 2 [3]. Пусть G_1 и G_2 — порождающие матрицы двух кодов (не обязательно различных). Кронекеровское произведение этих матриц дает матрицу кода с параметрами $d_{\min} = d_1 \cdot d_2, n = n_1 \cdot n_2, k = k_1 \cdot k_2$.

На основе теоремы 1 можно получать новые коды, если в качестве сомножителей использовать известные. В дальнейшем более подробно остановимся на трехмерном коде, полученном прямым произведением итеративного кода с проверочными символами по диагонали на код, представляющий собой проверку на четность.

Трехмерные итеративные коды, характеризующиеся достаточно большой избыточностью, требуют эффективного использования емкости запоминающего устройства.

Принципы построения высокоэффективных систем полупроводниковой памяти на пластине описаны в [5].

В этой системе блоки (кристаллы) памяти, имеющие дефектные элементы памяти (ЭП) накопителя (по данным адресам), объединяются в триады мажоритарным элементом и представляют собой, по существу, отдельный блок памяти. Это позволяет использовать частично годные накопители, что повышает общую эффективную емкость системы памяти. Однако такое объединение не может считаться эффективным, если блоки памяти имеют единичные дефекты накопителей. В наиболее простом и часто встречающемся случае накопитель может иметь лишь один неработоспособный ЭП. Объединение воедино трех таких блоков, особенно большой потенциальной информационной емкости, не может считаться оптимальным и снижает эффективную емкость системы памяти.

Особенность построения таких систем заключается в том, что накопитель каждого кристалла памяти условно разбивается на поднакопители, число которых кратно степени двойки (размер такого поднакопителя определяется дефектностью кристалла: при малом числе дефектов целесообразно уменьшить размер поднакопителя), и дефектные накопители, адрес которых запоминается, из обращения исключаются. Общая емкость системы памяти набирается из числа годных поднакопителей независимо от того, в каком кристалле данной группы блоков памяти этот поднакопитель расположен.

Система памяти (рис. 1) содержит m групп блоков (матрицу) памяти 1, блок внешней памяти 2. Каждый блок 3 памяти состоит из кристалла памяти 4, программируемого блока 5 адреса кристалла, блока 6 ввода/вывода информации, программируемого ключа 7.

На рис. 2 показан вариант построения программируемого ключа 7. Группы блоков памяти 3 в m рядов (строк) по n штук в каждом формируются на полупроводниковой пластине. Кристалл памяти 4 представляет собой стандартный чип ОЗУ. Блоки 3 с соответствующими информационными, адресными и управляющими шинами формируются одновременно в едином технологическом цикле. На управляющие входы кристалла памяти 4 подаются стандартные сигналы (разрешение записи/чтения) для соответствующего типа памяти. На адресные входы кристалла памяти 4 и блока внешней памяти 2 подаются подадреса опрашиваемого ЭП (соответственно младшие и старшие разряды). В соответствии с кодом адреса на шинах блока внешней памяти 2 формируется новый (внутренний) код адреса кристалла памяти 4 и программируемого блока 5, соответствующий адресу годного поднакопителя (части накопителя) кристаллов 4 и адресу кристалла, имеющего годные накопители. Блок внешней памяти 2 может представлять собой программируемое или оперативное ЗУ. В первом случае входы блока внешней памяти 2 являются управляющими для программирования, во втором — управляющими, задающими режим работы (запись/чтение).

Программируемый блок 5 имеет то же функциональное назначение, что и блок памяти 2. Блок 6 ввода/вывода стандартный, строится единичным сигналом на шине блока ввода/вывода информации. При нулевом сигнале на шине блока ввода/вывода информации входы/выходы соответствующего блока 6 имеют третье состояние. Программирование осуществляется общеизвестными методами.

Поскольку в накопителе блока 4 могут быть дефектные (отказавшие) ЭП, то все поле накопителя блока 4 условно разбивается на поднакопители, информационная емкость которых составляет $1/2$, $1/4$, $1/16$ и т. д. общей информационной емкости накопителя блока 4. Это делается с целью исключения из обращения поднакопителей с дефектными ЭП. Таким образом, полный адрес ЭП разделяется на адрес программируемого блока 5 кристалла памяти 4 (A_k), адрес поднакопителя в кристалле (A_n) и адрес ЭП в поднакопителе. Если информационная емкость одного кристалла 4 (количество ЭП) составляет N (каждый накопитель разбивается на k (блоков поднакопителей) и количество кристаллов в линии n , то условие на разрядность кода адреса (количество адресных входов) будет следующим: разрядность адреса $A_k - \log_2 n$, разрядность адреса $A_n - \log_2 k$, разрядность адреса ЭП — $\log_2 N - \log_2 k = \log_2(N/k)$.

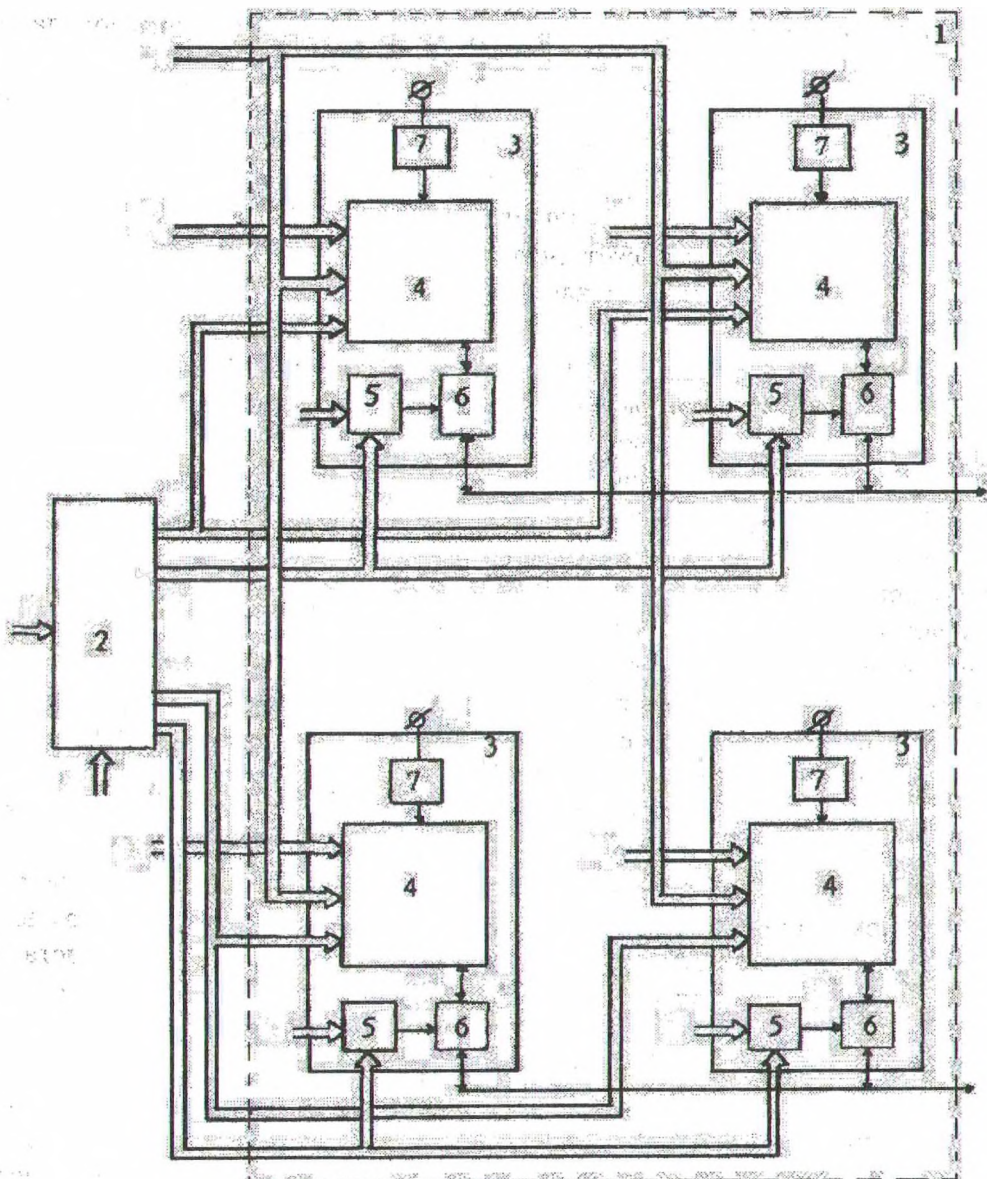


Рис. 1. Схема запоминающего устройства

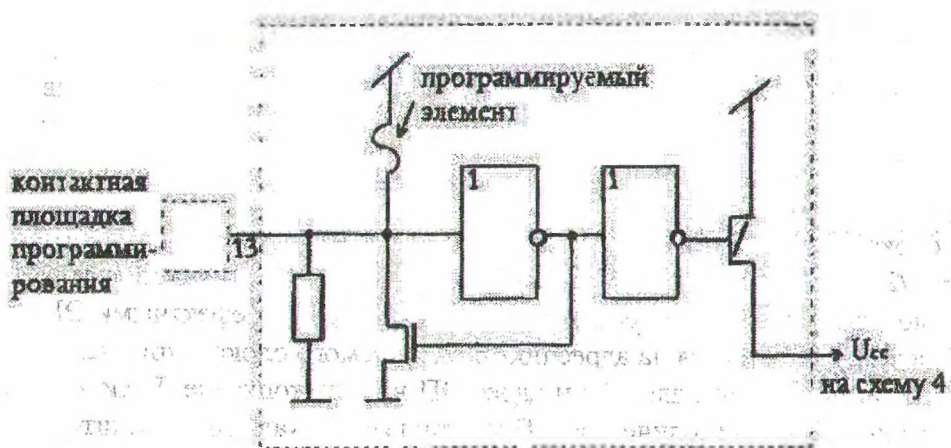


Рис. 2. Схема программируемого ключа

Так как в блоке 2 запоминается адрес (в процессе функционального контроля каждого кристалла 4) годных кристаллов 4 и поднакопителей в них, то необходимая разрядность блока 2 для одной линии равна $\log_2(n \cdot k)$, а общая разрядность блока 2 составит $m \cdot \log_2(n \cdot k)$ разрядов. Полное число блоков 3 в линии есть $k \cdot n$. Это число определяет максимальную требуемую емкость блока памяти 2 (это максимальное количество слов разрядностью $m \cdot \log_2(n \cdot k)$, которые нужно занести в блок памяти 2). Практически же это число меньше, т. е. имеются дефектные блоки 4, адреса которых запоминать не надо.

Полная реальная емкость системы определяется как произведение $k_1 \cdot m$, где k_1 — минимальное количество (кратное 2) годных блоков в линии; m — количество линий. Избыточные блоки, имеющиеся в некоторых линиях, могут использоваться как резервные.

Таким образом, преимущество предлагаемой системы памяти очевидно. Оно состоит в более эффективном использовании информационной емкости отдельных кристаллов памяти 4. Это, в свою очередь, позволит повысить надежность системы памяти за счет использования нового вида итеративных кодов — трехмерных итеративных кодов.

ЛИТЕРАТУРА

1. Мак-Вильямс Ф., Слоэн Н. Теория кодов, исправляющих ошибки / Пер. с англ. / Под ред. Л. А. Басальго. — М.: Связь, 1979. — 746 с.
2. Fuja T., Heegard C., Goodman R. Liner sum codes for random acces memories // IEEE Transaction on computers. — 1988. — Vol. 37, № 9. — P. 1030—1041.
3. Урбанович П. П., Романенко Д. М. Свойства и алгоритмы аппаратной реализации нового вида итеративных кодов для систем памяти // Новые информационные технологии: Третья Международная конференция NITE'2000.—Т. 2. — Мн.: БГЭУ, 2000. — С. 159—164.
4. Майоров С. А., Урбанович П. П. Декодирование кодов, основанных на двойном прямом произведении кодов на четность // Научно-техническая конференция профессорско-преподавательского состава, посвященная 30-летию БГУИР: Тез. докл., Минск, 1994.
5. Патент РБ № 4563. Запоминающее устройство. Опубликовано в БЧ. — № 2. — 2002.