

обеспечить ввод исходных данных и создание программного интерфейса. План первой очереди реализации системы включает следующие действия: создание класса `TechnologicalPlan` и библиотеки математических методов, поддерживающих решение через метод `SolveProblem`.

ЛИТЕРАТУРА

1. Основы современных компьютерных технологий / Под ред. А.Д. Хомоненко. – СПб, 1998. – 448 с.
2. Герман О.В., Дорожкина Н.Н. Об одной общей задаче производственного планирования // Труды Белорусского государственного технического университета. Выпуск VII. -Минск, 1999. - С. 29.

УДК 681.3.07

С. Б. Макась, аспирант

КЛАССИФИКАЦИЯ МЕТОДОВ ВВЕДЕНИЯ АППАРАТНОЙ ИЗБЫТОЧНОСТИ В КРИСТАЛЛЫ ДИНАМИЧЕСКИХ ОПЕРАТИВНЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ (ДОЗУ)

Generalization and classification of the hardware redundancy implantation in DRAM are presented.

1. Причины возникновения отказов в ДОЗУ

Важнейшее направление совершенствования ДОЗУ связано с увеличением объема хранимой информации и уменьшением геометрических размеров элементов. Это обусловлено увеличением степени интеграции элементов на кристалле, что приводит, с другой стороны, к снижению надежности хранения информации вследствие влияния на кристалл различных дестабилизирующих факторов.

Известны основные виды дестабилизирующих факторов и вызванные ими нарушения работоспособности: сбои и отказы. Отказ – устойчивое нарушение работоспособности. Сбой - нарушение работоспособности, устраняемое без проведения ремонта. Искажение хранимой или считанной в ДОЗУ информации под воздействием отказа или сбоя называют ошибкой.

Анализ показал, что известные дестабилизирующие факторы и их последствия могут быть классифицированы следующим образом:

1) Характерные для запоминающих элементов (ЗЭ). К ним относятся:

а) дефекты кристалла. Последствия: обрыв контактов, короткие замыкания, паразитные емкости, неправильная адресация, изменение времени хранения информации. Дефекты в микросхеме могут вызвать увеличение тока утечки, как результат - ЗЭ разряжается за время, меньшее чем время регенерации, т.е. происходит потеря хранимой информации;

б) воздействие α -частиц. α -частица, попадая на кристалл, вызывает обычно переключение ЗЭ из 1 в 0. Последствия: неверное перезаписывание информации при регенерации. Попадание α -частицы в разрядную шину выбираемого элемента вызывает переход 1 в 0. Попадание в опорные ЗЭ или невыбранные разрядные шины – переход 0 в 1. При попадании в усилитель считывания α -частица вызывает сбой обоих типов [1];

г) обрыв, короткое замыкание. Последствия: невозможность записи и считывания данных.

2) Факторы, характерные для запоминающих микросхем (ЗМ). Так как ЗМ представляют собой матрицы ЗЭ, то дестабилизирующие факторы и последствия нарушения работы аналогичны отказам ЗЭ, однако в этом случае возникают и новые. Последствия: отсутствие записи 0 или 1, ложная запись, ложное считывание. Дефекты в электронике обрамления: отсутствие выборки ЗЭ, многоадресная выборка, одновременная выборка нескольких ЗЭ по одному адресу, отказ строки ЗЭ, отказ столбца ЗЭ, полный отказ ЗМ при неисправности схем ввода-вывода и схем управления.

Возникновение тех или иных сбоев или отказов в работе ЗУ вызвано следующими факторами: условиями их эксплуатации; конструктивными и схемотехническими особенностями; емкостью ЗУ. Это значит, что в зависимости от этих факторов в ДОЗУ будут встречаться все вышеперечисленные типы снижения надежности, но в то же время для каждого конкретного типа ДОЗУ существует наиболее вероятный тип ошибки. Поскольку до настоящего времени нет универсального метода, устраняющего все типы ошибок, каждый тип ошибки нейтрализуется определенным способом. Эта особенность предопределяет необходимость классификации сбоев и отказов, характерных для ДОЗУ, а также способов их устранения, что и является предметом исследования в данной работе.

2. Классификация методов внесения аппаратной избыточности

Для увеличения времени безотказной работы ЗУ в настоящее время используются методы, различающиеся эффективностью, объе-

мом дополнительного оборудования и другими показателями. Эти методы можно условно разделить на 2 группы: структурного и информационного резервирования. Метод информационного резервирования заключается в использовании корректирующих кодов. Метод структурного резервирования (метод внесения аппаратной избыточности) осуществляется с помощью 2 стратегий: резервирование в адресном накопителе и внесение дополнительных контролирующих элементов. Проанализируем каждую из стратегий.

При резервировании на кристалле размещаются резервные строки и столбцы ЗЭ, резервные магистрали, элементы адресной электроники. Во втором случае схемы дополняются контрольными разрядами в матрице ЗЭ и контролем адресных цепей, схемами сравнения и сумматорами по mod 2.

Рассмотрим первый тип внесения аппаратной избыточности – структурное резервирование. Замена дефектных элементов на резервные осуществляется на этапе контроля полупроводниковых пластин. Так как с помощью внесения резервных строк и столбцов нельзя устранить отказы входных (выходных) регистров, тактовых цепей, магистралей, шин питания, то в конструкции микросхемы предусматривают внесение резерва этих элементов. Данный тип резервирования устраняет ошибки производственного процесса [2].

Второй аспект - это повышение надежности в процессе функционирования, которое происходит согласно следующим стратегиям:

1. *Постоянное резервирование (дублирование с нагруженным резервом).* Здесь резервный элемент участвует в работе наравне с основным. При отказе ЗЭ в основной матрице работа будет осуществляться с ЗЭ из резервной матрицы, который расположен по аналогичному адресу. Доля аппаратной избыточности при этой стратегии относительно к ЗУ без резервирования увеличивается на $\delta Q = 2(1 + 1/k)$, где k - число информационных разрядов в слове.

2. *Дублирование элементов с ненагруженным резервом.* В адресный накопитель вносится еще одна матрица ЗЭ, на которую изначально не подается питание. После отказа в первой матрице питание подается на вторую. После отказа во второй питание подается опять на первую. Отказ ЗУ в этом случае наступит, как и в случае 1, при возникновении ошибки по совпадающим адресам в обеих матрицах. Надежность данного типа резервирования больше, чем при нагруженном резерве, поскольку интенсивность отказов в выключенном резерве практически равна нулю.

3. *Скользящее резервирование.* Здесь для рассматриваемой матрицы ЗЭ, состоящей из N основных ячеек, введем L резервных, которые включены в ненагруженном режиме. При отказе ЗЭ в основной матрице определяется его адрес, который заносится в добавляемый для этой цели буфер дефектных адресов емкостью L . При совпадении адресов вместо отказавшего элемента включается резервный. При включении резервных элементов ($L > 1$) надежность ЗУ с данной стратегией резервирования с дублированием практически одинакова. В случае одноразрядного ЗУ для данной стратегии выгоднее вносить резервные строки, так как это позволяет избежать сложности мультиплексирования столбцов и добавления дополнительных усилителей считывания. В случае многоразрядного ЗУ однобитные ЗУ в количестве n штук подключаются к параллельному регистру слова (n – разрядность слова). Скользящее резервирование целесообразно использовать в оперативных ЗУ большой емкости, если допускается восстановление информации или перезапуск программы работы после реконфигурации ЗУ [3].

Помимо ошибок в адресном накопителе, возможны ошибки в элементах электроники обрамления (ЭО). Вид и количество таких ошибок зависят от нагрузочной способности, информационной емкости и разрядности ЗУ. Схемы ЭО – схемы с малой степенью интеграции, поэтому интенсивность отказов для них примерно на порядок меньше, чем для адресных накопителей, однако доля ошибок из-за нарушения работоспособности ЭО составляет несколько процентов от общего количества ошибок ЗУ [3]. Для нейтрализации данной ошибки применяется резервирование электроники обрамления (с ненагруженным резервом). В этом случае необходимо внести избыточность на уровне адресных магистралей (коррекция обрыва, замыкания на общую шину) и адресных дешифраторов. Резервные магистрали подключаются через дополнительно внесенный коммутатор магистралей. Для коррекции ошибки в адресных цепях избыточность вносится на уровне дешифратора адреса со встроенным кодом и схемой контроля, которая контролирует наличие возбуждения на выходах основного дешифратора адреса. При отсутствии возбуждения выходов основного дешифратора адреса, которое определяется схемой контроля, осуществляется переключение на резервный. Отказ цепи наступит при ошибке на одноименных выходах основного и резервного дешифраторов.

Следующий случай связывают с необходимостью контроля содержимого ЗЭ и адресных цепей. Проанализируем основные стратегии внесения контролирующей аппаратуры.

Метод 1. Контроль дешифратора адреса (ДшА). Осуществляется добавлением в ЗУ схемы равенства кодов (СРК) и дополнительного шифратора (ДШ) (рис. 1). На вход СРК подается код адреса с выхода регистра адреса (РгА) и контрольный код, свернутый через ДШ. Фиксация ошибки осуществляется при неравенстве кодов.

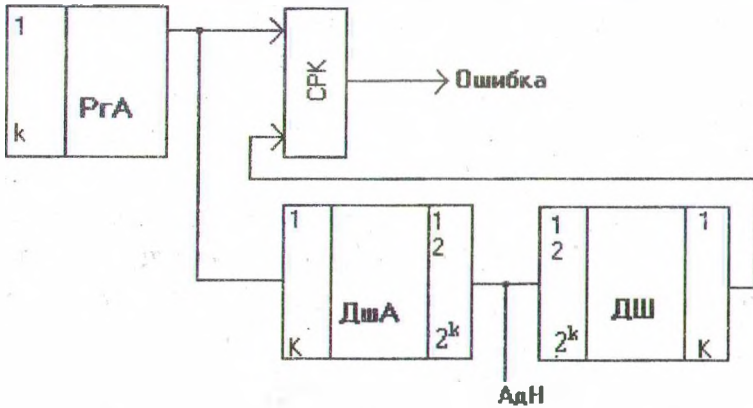


Рис. 1.

Метод 2. Контроль адресных цепей и ДшА. ДШ подключается к адресным шинам, и свернутый адрес с его выхода передается на СРК (рис. 2). Фиксация ошибки осуществляется при неравенстве кодов. Для уменьшения аппаратной избыточности вместо шифрации в полный код адреса можно вставить триггер контрольного разряда (ТрКР) и применить шифрацию в контрольный код адреса и его сравнение с содержимым ТрКР (рис. 3).

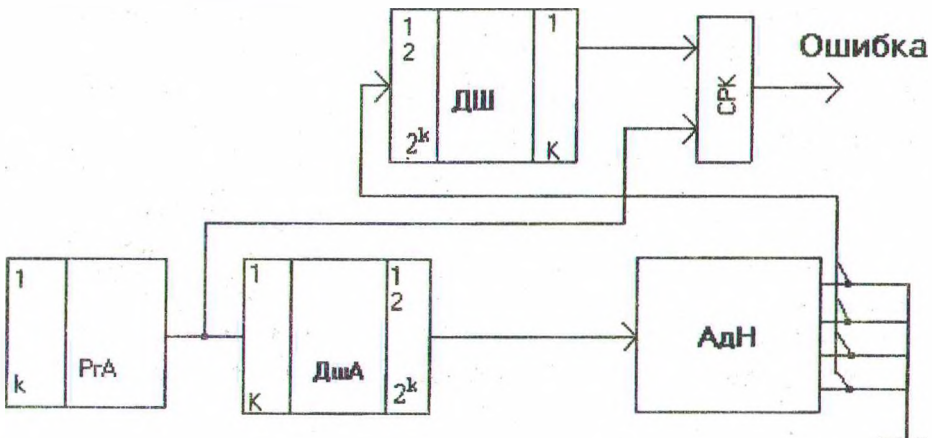


Рис. 2

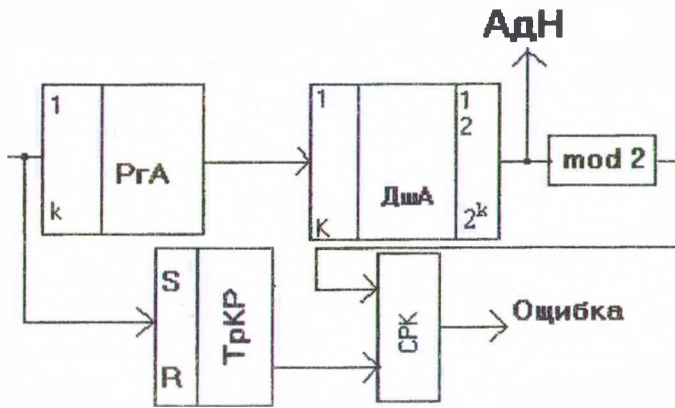


Рис. 3

Метод 3. Комбинированный метод контроля. В этом случае осуществляется запись контрольной суммы адреса в дополнительные ячейки памяти, обычно это постоянная область в ОЗУ. В РгА вводят контрольные разряды, которые суммируются по модулю n . При обращении к матрице ЗЭ код адреса в регистре сравнивается с контрольным разрядом данной ячейки при помощи СРК. При неравенстве генерируется ошибка [4].

Метод 4. Контроль РгА осуществляется добавлением схемы равенства кодов и сумматора по $\text{mod } 2$. На вход СРК подается контрольный код адреса, свернутый по $\text{mod } 2$ и инвертированный. На второй вход подается код, преобразованный по тому же алгоритму, но уже с выхода РгА. Фиксация ошибки осуществляется при неравенстве контрольных кодов (рис 4).

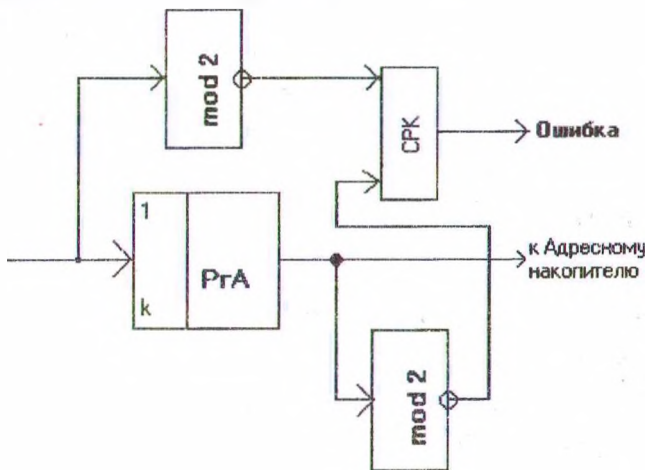


Рис. 4

Для контроля содержимого матрицы ЗЭ существуют различные способы выявления и исправления ошибок. Для динамических ОЗУ наиболее приемлемый способ контроля содержимого адресного накопителя – проверка во время регенерации. Так как циклы регенерации происходят в среднем с частотой единицы или доли мс, то тесты во время регенерации обеспечат наибольшую надежность хранимой информации. Для этого дополнительно в схему вводятся 2 узла: селектор адреса (СА) и устройство обнаружения и исправления ошибки (УО-ИО) (рис. 5). СА при присутствии сигнала «Регенерация» пропускает адрес со счетчика регенерации, а при его отсутствии - с адресной шины. Во время цикла регенерации происходит считывание (заменяем цикл регенерации циклом считывания) по адресу, задаваемому счетчиком регенерации. УОИО определяет наличие ошибки по содержимому функциональных и контрольных разрядов. Периодичность кон-

троля $t_k = t_{рег} \left(\frac{N_{зу}}{N_{см}} \right)$, где $N_{зу}$ - количество ЗЭ в матрице или ЗМ,

а $N_{см}$ - количество строк. Количество циклов, в течение которых происходит регенерация одного столбца, равно $N_{см}$. Для уменьшения времени регенерации и времени контроля используется «некватратная матрица» - несимметричная стратегия обновления. Две наиболее распространенные несимметричные стратегии: 4Кб 12R/10C и 8Кб 13R/11C [5]. Это также позволяет учитывать возрастание тока разноса при считывании (в ДОЗУ большой емкости). Для избежания возникновения в ОЗУ случайных распределений 0 и 1 после включения надо записать исходную информацию (нулевые слова с контрольными кодами).

Для функционирования устройства обнаружения и исправления ошибок в функциональные разряды матрицы необходимо добавить некоторое количество контрольных разрядов. Количество контрольных разрядов зависит от того, какую стратегию обнаружения и исправления ошибок в хранимых словах осуществляет УОИО. Известны два основных направления обнаружения и исправления ошибок: с помощью линейных и циклических двоичных кодов.

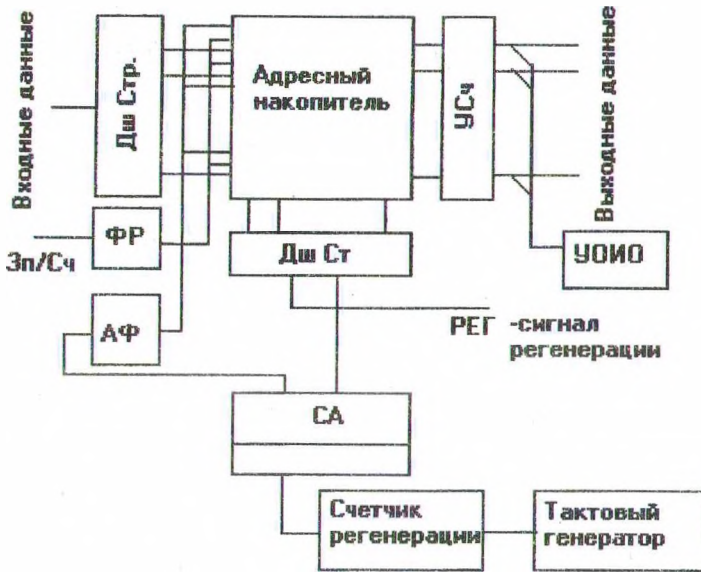


Рис. 5

Для обнаружения одnorазрядной ошибки, при линейных двоичных кодах, строка слова дополняется контрольным разрядом, в который заносится определенное значение, такое, чтобы сумма разрядов слова и контрольного разряда равнялась 0 (дополнение количества 1 до четности). Признаком ошибки – неравенство 0 контрольной суммы. Для 16-ти и более разрядных ЗМ контрольный разряд вносится в каждое 8-разрядное слово байта. Для обнаружения этим способом пакетных ошибок (разрядность ошибки более 2) информационные разряды разбиваются на пакеты, а количество контрольных разрядов (степень избыточности матрицы ЗЭ) будет $N_{\text{пак}} * N_{\text{сл}}$, где $N_{\text{пак}}$ – количество пакетов на слово. В случае пакетной ошибки с разрядностью b для ее обнаружения потребуется введение не менее b контрольных разрядов, а для исправления – не менее $2b$. Применение двоичных кодов для обнаружения и исправления ошибок осуществляется на основе H -матрицы размером $(r*n)$, называемой проверочной. Здесь n – количество разрядов слова, r – количество контрольных разрядов. Заполнение n информационных разрядов осуществляется битами слова, а значение контрольных битов формируется по условию

$$x_{n+1} = \sum_{j=1}^n h_{ij} x_j.$$

Ввиду различия при считывании любого из битов

от записанного необходимо разграничивать записанное и считанное слово. Для считанного слова контрольные биты формируются по ана-

логическому условию: $y_{n+1} = \sum_{j=1}^n h_{ij} y_j$. Совокупность сумм

$s_i = y_{n+1} + y'_{n+1}$ дает *разрядный синдром*, который при одиночной ошибке однозначно указывает на местоположение ошибки и численно равен соответствующему столбцу проверочной матрицы. Для исправления ошибки при считывании надо инвертировать разряд слова, совпавший с разрядным синдромом [6].

При использовании циклических кодов хранимое в ЗУ слово сворачивается в полином $B(x)$ степени $n-1$, где степень образующего полинома r и разрядность кода n связаны соотношением $n = 2^r - 1$.

$$B(x) = b_{n-1}x^{n-1} + b_{n-2}x^{n-2} + \dots + b_1x + b_0$$

где x — основание системы счисления; b_i — цифры данной системы.

Коэффициенты полинома равны значениям соответствующих разрядов слова, а сам многочлен кратен образующему многочлену кода. Наличие ненулевого остатка от деления $B(x)$ на образующий многочлен свидетельствует о наличии ошибки в слове, а по виду остатка можно определить место ошибки.

Использование определенного кода зависит от наиболее вероятной ошибки для данного типа памяти. Это определяется характеристиками изготовления, назначения, параметрами ОЗУ и условиями эксплуатации.

Применение стратегии информационного резервирования имеет следующие достоинства и недостатки. Недостатки: уменьшение быстродействия до 10% и более; увеличение площади кристалла на 10-20%. Достоинства: эффективно устраняет одиночные отказы ЗЭ; эффективно устраняет сбои при эксплуатации ЗУ; не требует дополнительных технологических операций.

3. Заключение

Проведенный анализ методов введения аппаратной избыточности в кристаллы ДОЗУ сведен в таблицу.

Таблица

Тип резервирования	Стратегия введения аппаратной избыточности	Метод введения избыточности	Особенности метода и его эффективность
1	2	2	4
Структурное	Резервирование в адресном накопителе и электроники обрaмления	Нагруженное дублирование	Низкая надежность и увеличение потребляемой мощности.
		Ненагруженное дублирование	Большая, чем при нагруженном резерве, надежность и меньшая потребляемая мощность ввиду отключенных резервных элементов.
		Скользящее резервирование	Меньшие аппаратные затраты и увеличение надежности по сравнению с дублированными ЗУ (по отношению к ЗУ большой емкости).
		Мажоритарное	Наибольшая надежность. Увеличение объема оборудования на 300% и значительное увеличение потребляемой мощности.
	Внесение дополнительных контролируемых элементов	Контроль дешифратора адреса	Контролирует ДША и в режиме записи/чтения, не обнаруживает обрыв адресной шины при записи и отказ РГА.
		Контроль адресных цепей и дешифратора адреса	Контроль в режиме записи/считывания. Фиксация обрыва адресных шин только при чтении. Не обнаруживает отказ регистра адреса.
		Комбинированный метод	Контроль РГА и адресных цепей. Большая эффективность при чтении. Обнаруживает обрыв адресных шин и отказ РГА. Требует определенной доли избыточности в матрице ЗЭ и РГА.
		Контроль РГА	Контролирует РГА в режиме записи/чтения. Не обнаруживает обрыв адресных цепей.

Окончание таблицы

1	2	3	4
Информационное	Использование корректирующих кодов	Контроль за содержимым ЗУ во время регенерации	Наиболее эффективный способ контроля содержимого ДОЗУ. Позволяет находить и исправлять ошибки в информационных словах. Доля аппаратной избыточности возрастает на 10-20%.
		Коды Хемминга (линейные коды)	Исправляют одиночные и обнаруживают двойные независимые ошибки.
		Циклические коды	Исправляющие одиночные и обнаруживающие двойные и пакетные ошибки.
		БЧХ (циклические коды)	Исправляющие двойные и обнаруживающие тройные независимые ошибки.
		Коды Рида-Соломона	Исправляющие одиночные и обнаруживающие двойные пакетные ошибки.
		Коды Файра	Обнаруживающие и исправляющие одиночные пакетные ошибки.

ЛИТЕРАТУРА

1. Бродски М. Уменьшение частоты случайных сбоев, вызываемых в динамических ЗУ действием альфа-частиц // Электроника. 1980. № 10. С. 25-33.
2. Васильев Г.В. Формирование элементов мегабитовых ДОЗУ. Микроэлектроника. 1980. Вып. 2
3. Огнев И.В. Сарычев К.Ф. Надежность запоминающих устройств. М., 1988.
4. Самофаловов К. Г. Обеспечение надежности полупроводниковых запоминающих устройств. М., 1986.
5. Design in the right DRAM 'REFRESH' configuration. Memory Data Book. USA 1999.
6. Урбанович П.П., Алексеев В.Ф., Верниковский Е.А. Избыточность в полупроводниковых интегральных микросхемах памяти. Мн.: Навука і тэхніка, 1995.