

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР
ИНТЕЛЛЕКТУАЛЬНОЙ
СОБСТВЕННОСТИ

(19) ВУ (11) 16167

(13) С1

(46) 2012.08.30

(51) МПК

H 04L 1/00 (2006.01)

H 03M 13/27 (2006.01)

(54)

УСТРОЙСТВО ПЕРЕМЕЖЕНИЯ/ОБРАТНОГО ПЕРЕМЕЖЕНИЯ ДЛЯ СИСТЕМЫ СВЯЗИ

(21) Номер заявки: а 20101084

(22) 2010.07.15

(43) 2012.02.28

(71) Заявитель: Учреждение образования "Белорусский государственный технологический университет" (ВУ)

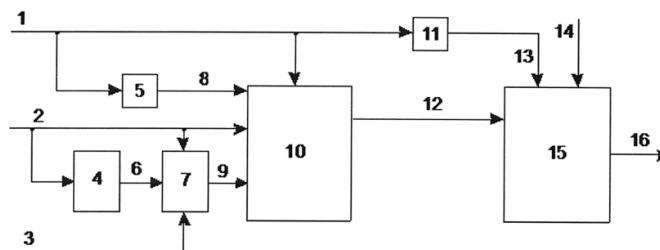
(72) Авторы: Урбанович Павел Павлович; Пацей Наталья Владимировна; Шиман Дмитрий Васильевич; Романенко Дмитрий Михайлович; Горбунова Юлия Олеговна; Чуриков Константин Валерьевич (ВУ)

(73) Патентообладатель: Учреждение образования "Белорусский государственный технологический университет" (ВУ)

(56) RU 2216099 С1, 2003.
RU 2313177 С2, 2007.
RU 2189629 С2, 2002.
US 5912898 А, 1999.
EP 1223678 А2, 2002.

(57)

Устройство перемежения/обратного перемежения для системы связи, содержащее генератор адресов, соединенный первым входом с первым управляющим входом устройства и входом счетчика, вторым входом со вторым управляющим входом устройства, а выходом с первым адресным входом блока памяти перемежителя, соединенного вторым адресным входом с выходом счетчика, а информационными входом и выходом с информационными входом и выходом устройства соответственно, отличающееся тем, что содержит блок определения начального адреса перемежаемого бита, соединенный входом с первым управляющим входом устройства, а выходом с третьим входом генератора адресов, блок определения величины шага перемежения, соединенный входом со вторым управляющим входом устройства, а выходом с первым входом блока определения величины шага обратного перемежения, соединенного вторым и третьим входами соответственно со вторым и третьим управляющими входами устройства, а выходом с четвертым входом генератора адресов.



Фиг. 1

Изобретение относится к области радиотехники, в частности к устройству и способу перемежения/обратного перемежения символов закодированной последовательности. Устройство может быть использовано в составе цифровых передатчиков и приемников для повышения эффективности кода с исправлением ошибок в канале с замиранием и для повышения уровня защищенности информации от несанкционированного доступа в применяемых системах мобильной связи.

Известно техническое решение [1], обеспечивающее способ перемежения битов цифрового сигнала, представляющего данные и/или аудиоданные в системе цифрового звукового радиовещания. Способ содержит шаги, на которых записывают множество битов цифрового сигнала в матрицу и считывают биты из матрицы, при этом по меньшей мере один из шагов записи и считывания выполняется по непоследовательной схеме адресации. Техническое решение улучшает рабочие характеристики системы путем увеличения устойчивости сигнала в присутствии искажений канала. Однако местоположение каждого закодированного бита в матрице перемежителя вычисляется с использованием набора сложных уравнений, что обуславливает высокую сложность и относительно низкое быстродействие.

Известно другое устройство перемежения/обратного перемежения [2], содержащее блок формирования степенных коэффициентов, первый и второй входы которого соединены соответственно с первым и вторым управляющими входами устройства, а выходы блока формирования степенных коэффициентов соединены с третьим и четвертым входами генератора адресов, первые и вторые входы блока с первым и вторым управляющими входами устройства, выходы генератора адресов соединены с первыми адресными входами блока памяти перемежителя, вторыми адресными входами соединенного с выходами счетчика, а информационными входами с информационными входами устройства, информационные выходы которого соединены с выходами блока памяти перемежителя, а входы синхронизации устройства соединены с четвертым управляющим входом генератора адресов и входом счетчика.

В этом устройстве, реализующем соответствующий способ перемежения/обратного перемежения, последовательно запоминаются N входных битовых символов в блоке памяти перемежителя по адресу от 0 до $N-1$, обеспечивают первую переменную $d1$, вторую $d2$, третью $e1$ и четвертую $e2$, удовлетворяющие условиям $e1*d1 \bmod t1 = 1$, где $t1 = (p1-1)*(q1-1)$, $p1$ и $q1$ - взаимно простые числа, $p1*q1 = n1$, а $e1$ и $q1$ - простые числа, кроме того $e2*d2 \bmod t2 = 1$, где $t2 = (p2-1)*(q2-1)$, $p2$ и $q2$ - взаимно простые числа, $p2*q2 = n2$, а $e2$ и $d2$ - простые числа.

Генератор адресов формирует адрес считывания в соответствии с формулой:

$$adr_k \leftarrow \left(\text{int}\left(\frac{k}{n2-1}\right) + 1 \right)^{d1} \bmod n1 - 1 + \left(\left((k \bmod (n2-1) + 1)^{d2} \bmod n2 - 1 \right) \cdot (n1-1) \right) = v, \quad (1)$$

где k адрес памяти ($0 \leq k \leq (N-1)$), int - целочисленное деление; в приведенном соотношении учитывается тот факт, что считывание символов (на выход устройства) осуществляется по столбцам.

Приведенное устройство перемежения/обратного перемежения характеризуется переменной глубиной перемежения (минимальное расстояние, на которое разносятся два соседних символа), что позволяет исправить группирующиеся ошибки (пакет) различной кратности. Однако известно, что глубина перемежения ошибок низкой кратности (до шести-восьми) не достаточно высока (по сравнению с теоретически возможным).

Наиболее близким техническим решением к предлагаемому изобретению является устройство перемежения/обратного перемежения [3], содержащее генератор адресов, первый, второй и третий входы которого соединены соответственно с первым, вторым и третьим управляющими входами устройства, а выходы генератора адресов соединены с первыми адресными входами блока памяти перемежителя, вторыми адресными входами соединенного с выходами счетчика, а информационными входами с информационными

входами устройства, информационные выходы которого соединены с выходами блока памяти перемежителя, а входы синхронизации устройства соединены с четвертым управляющим входом генератора адресов и входом счетчика.

В этом устройстве, реализующем соответствующий способ перемежения/обратного перемежения, последовательно запоминаются N входных битовых символов в блоке памяти перемежителя по адресу от 0 до $N-1$, рассчитываются первая переменная m и вторая переменная J , удовлетворяющие соотношению $N = 2^{m*J}$, и считывается K -й ($0 < K < N-1$) битовый символ по адресу, определяемый соотношением $2^m(K \bmod J) + BRO(K/J)$, где BRO является функцией для преобразования двоичного значения в десятичное путем реверсирования битов. При этом первая переменная m указывает количество последовательных нулевых символов от младшего значения бита, когда N представляется в двоичной форме. Вторая же переменная J указывает десятичное значение, соответствующее отброшенным битам, отличным от вышеуказанных последовательных нулевых бит.

В известном устройстве [3] битовый символ считывают по адресу, определяемому отношением последовательности K считывания к переменной J (в двоичном виде), получаемой реверсированием битов двоичного значения с последующим преобразованием реверсированных бит в десятичное значение. С точки зрения технической реализации данный способ перемежения/обратного перемежения осуществляет перестановку бит входной последовательности, поступающей в блок памяти перемежителя через информационные входы с последующей записью в выходном буфере в виде новой (перемеженной) последовательности (блок памяти устройства перемежения состоит из буферов входных и выходных данных).

Генератор адресов принимает по первому управляющему входу генератора адресов значение N , равное размеру перемежителя, по второму, третьему и четвертому входам соответственно значения переменных m , J ($N = 2^{m*J}$) и синхроимпульсы (тактовые импульсы) для формирования адреса в памяти перемежителя (на выходах генератора) для считывания битовых символов, последовательно запоминаемых в блоке памяти перемежителя с его информационных входов. Блок памяти перемежителя последовательно запоминает входные битовые символы при работе в режиме записи и выводит на выходы блока битовые символы в соответствии с адресом на выходах генератора адресов в режиме считывания. Счетчик считает входные тактовые импульсы и формирует на своих выходах адрес записи.

Известный способ и устройство перемежения/обратного перемежения характеризуется постоянной глубиной перемежения, что позволяет легко исправить группирующиеся ошибки (пакет) определенной кратности. Однако известно, что кратность ошибки может быть различной. Причем при передаче данных достаточно большой длительности и объема (минуты и более; мегабайты и более) могут встречаться пакеты ошибок разной длины. Вместе с тем на практике вероятность появления ошибки меньшей кратности является тоже высокой. Поэтому данное устройство не удовлетворяет практическим потребностям.

Задачей изобретения является повышение минимального расстояния разнесения ошибочных бит, обеспечивающего возможность исправления ошибок различной кратности в информационной последовательности.

Поставленная задача решается тем, что в устройство, содержащее генератор адресов, соединенный первым входом с первым управляющим входом устройства и входом счетчика, вторым входом со вторым управляющим входом устройства, а выходом с первым адресным входом блока памяти перемежителя, соединенного вторым адресным входом с выходом счетчика, а информационными входом и выходом с информационными входом и выходом устройства соответственно, введен блок определения начального адреса перемежаемого бита, соединенный входом с первым управляющим входом устройства, а выходом с третьим входом генератора адресов, блок определения величины шага перемежения, соединенный входом со вторым управляющим входом устройства, а выходом с первым

входом блока определения величины шага обратного перемежения, соединенного вторым и третьим входами соответственно со вторым и третьим управляющими входами устройства, а выходом с четвертым входом генератора адресов.

Сущность предлагаемого технического решения основана на определенном разнесении входных символов по блоку данных, которые формируются последовательностью входных символов (N). Для удобной работы каждый символ помечается (индексируется).

Перемежитель содержит блок памяти, предназначенный для обработки и хранения пакетов данных. Он построен и функционирует по тому же принципу, что и блок памяти известного устройства [3].

Изобретение поясняется чертежами:

фиг. 1 - схема устройства перемежения/обратного перемежения.

фиг. 2 - зависимость адреса выходной последовательности бит от входной.

фиг. 3 - сравнительная характеристика минимального разнесения бит для размера перемежителя $N = 196$, где 1 - для предлагаемого решения при $a = 83$, $b = 19$, 2 - характеристика для устройства [3], 3 - характеристика для устройства [2].

Процессор (на фиг. 1 не показан) связан с памятью и используется для разделения пакетов данных на части. Он также предназначен для генерации перемешивания последовательного множества частей данных и индексации символов.

Предлагаемый способ перемежения символов основывается на использовании простых чисел.

На фиг. 1 показана схема устройства перемежения/обратного перемежения. Устройство содержит первый 1, второй 2 и третий 3 управляющие входы, блок определения начального адреса перемежаемого бита 5, блок определения величины шага перемежения 4, блок определения величины шага обратного перемежения 7, генератор адресов 10, соединенный выходом, предназначенным для передачи нового адреса перемежаемого символа, с первым адресным входом 12 блока памяти перемежителя 15, соединенного вторым адресным входом 13 с выходом счетчика 11, а информационными входом 14 и выходом 16 с информационными входом и выходом устройства соответственно.

Блок 5 вычисляет значение начального адреса перемежаемого бита и передает его на третий вход 8 генератора адресов 10. Шаг перемежения (значение параметра a) из блока определения величины шага перемежения 4 поступает на первый вход 6 блока определения величины шага обратного перемежения 7, вторым и третьим входами которого являются второй 2 и третий 3 управляющие входы устройства соответственно. Шаг обратного перемежения (значение параметра b) вычисляется в блоке определения величины шага обратного перемежения 7 и далее в зависимости от сигнала на управляющем входе 3 ("0" означает процесс перемежения, "1" - процесс обратного перемежения), передается значение переменной a (если осуществляется процесс перемежения) или значение переменной b (если осуществляется процесс обратного перемежения) на четвертый вход 9 блока генерации адреса 10.

Блок 4 определяет величину шага перемежения a в интервале $[\lfloor N \cdot (\sqrt{2}-1) - 2 \rfloor; \lfloor N \cdot (\sqrt{2}-1) + 2 \rfloor]$, причем a и $(N + 1)$ должны быть взаимно простыми числами. Величина шага обратного перемежения b определяется в блоке 7 по формуле:

$$b = \frac{m \cdot (N+1) + 1}{a}, \quad (2)$$

где m - целое число $0 \leq m \leq N-1$. Значение сигнала b должно быть целым числом.

Генератор адресов 10 формирует адрес считывания в соответствии с формулой:

$$\pi'(i) = \pi(i) - c \bmod (N + 1), \quad (3)$$

где $\pi(i)$ адрес памяти ($1 \leq \pi(i) \leq N$); c - параметр, значение которого определяется в блоке 7 в зависимости от сигнала c управляющего входа 3 устройства, и который принимает значение величины шага a при процессе перемежения и значение величины шага b при обратном перемежении.

ВУ 16167 С1 2012.08.30

Для примера произведено перемежение последовательности бит ($N = 196$). Для начала выбирается значение параметра величины шага перемежения a :

$$79 \leq a \leq 83.$$

Так как при использовании любого значения величины a из данного промежутка числа a и $(N + 1)$ будут взаимно простыми, то в результате получается массив возможных значений a : $\{79, 80, 81, 82, 83\}$. Пусть $a = 83$. Так как идет процесс перемежения, то $c = a$, тогда в соответствии с выражением 3 получаются следующие новые адреса перемежаемых бит:

$$1' = 1 \cdot (83) \bmod (197) = 83;$$

$$2' = 2 \cdot (83) \bmod (197) = 166;$$

$$3' = 3 \cdot (83) \bmod (197) = 52;$$

...

$$195' = 195 \cdot (83) \bmod (197) = 31;$$

$$196' = 196 \cdot (83) \bmod (197) = 114.$$

Зависимость адреса выходной последовательности бит от входной представлена на фиг. 2, из которой также видно, что элементы перемежителя распределены равномерно.

При обратном перемежении параметру c присваивается значение b , которое вычисляется в соответствии с выражением 2. Таким образом, (при $a = 83$) $c = b = 19$.

Анализ разнесения ошибок при различных размерах блока перемежения показал увеличение минимального расстояния разнесения бит по сравнению с устройствами [2, 3].

Отметим, что в известном решении [2] выходная последовательность 196 битовых символов имеет вид: 1, 99, 155, 43, 57, 71, 169, 15, 113, 127, 141, 29, 85, 183, 8, 106, 162, 50, 64, 78, 176, 22, 120, 134, 148, 36, 92, 190, 12, 110... 42, 98, 196, а в известном решении [3] выходная последовательность 196 битовых символов имеет вид: 1, 5, 9, 13, 17, 21, 25, 29, 33, 37, 41, 45, 49, 53, 57, 61, 65, 69, 73, 77, 81, 85, 89, 93, 97, 101, 105, 109, 113, 117, 121, 125, 129, 133, 137, 141, 145, 149, 153, 157, 161, 165, 169, 173, 177, 181, 185, 189, 193, 3, 7, 11, 15, ... 188, 192, 196. Сравнительная характеристика минимального разнесения бит для блока перемежения размером в 196 бит отображена на фиг. 3, где 1 - характеристики для предлагаемого решения при $a = 80$, $b = 165$; 2 - характеристики для известного решения [3]; 3 характеристики для известного решения [2].

Например, при $N = 196$ бит (фиг. 3, $a = 83$, $b = 19$) расстояние между битами тройной ошибки для предлагаемого решения равно 83 бита, для устройства [2] равно 14 бит, для устройства [3] - 4 бита.

Таким образом, предлагаемое устройство выполняет те же функции, что и известное: осуществляет перемежение символов в режиме передачи данных в канале связи и обратное перемежение (деперемежение) в режиме обработки данных на выходе канала связи.

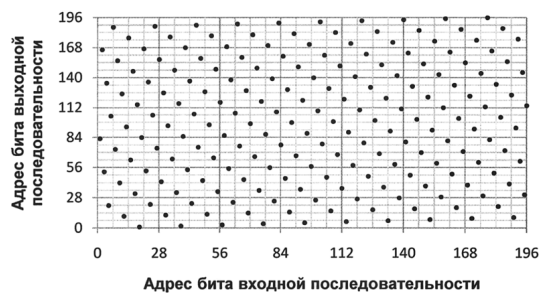
Однако предлагаемое решение позволяет значительно повысить расстояние между разнесенными символами (от нескольких раз до десятков раз - фиг. 3), что, в свою очередь, обеспечивает повышение уровня надежности передачи данных за счет коррекции группирующихся ошибок наиболее вероятной кратности (до $3 \div 8$).

Перечень предприятий, на которых может быть использовано изобретение: операторы сотовой связи (например, Diallog, Velcom, МТС), интернет-провайдеры (например: Белтелеком, Unibel, Solo).

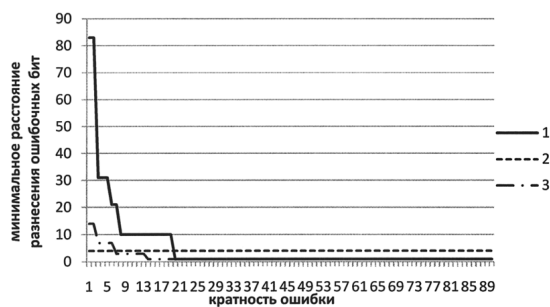
Используемые источники:

1. Патент США 2330379, МПК Н 03М 13/00, опубл. 27.07.2008.
2. Патент РБ 11268, МПК Н 03М 13/00, опубл. 05.08.2008.
3. Патент РФ 2216099, МПК Н 03М 13/27, опубл. 29.06.2000 (прототип).

BY 16167 C1 2012.08.30



Фиг. 2



Фиг. 3