

**ОПИСАНИЕ
ИЗОБРЕТЕНИЯ
К ПАТЕНТУ**
(12)

РЕСПУБЛИКА БЕЛАРУСЬ (19) BY (11) 16168



(13) C1

(46) 2012.08.30

(51) МПК

H 03M 13/11 (2006.01)
H 04L 1/00 (2006.01)

НАЦИОНАЛЬНЫЙ ЦЕНТР
ИНТЕЛЛЕКТУАЛЬНОЙ
СОБСТВЕННОСТИ

(54)

**УСТРОЙСТВО ДЛЯ КОДИРОВАНИЯ КОДОВ НИЗКОЙ
ПЛОТНОСТИ ПРОВЕРОК НА ЧЕТНОСТЬ С ПЕРЕМЕННОЙ
СКОРОСТЬЮ И ДЛИНОЙ БЛОКА**

(21) Номер заявки: а 20101150

(22) 2010.07.28

(43) 2012.02.28

(71) Заявитель: Учреждение образования
"Белорусский государственный тех-
нологический университет" (BY)

(72) Авторы: Урбанович Павел Павло-
вич; Пацей Наталья Владимировна;
Шиман Дмитрий Васильевич; Рома-
ненко Дмитрий Михайлович (BY)

(73) Патентообладатель: Учреждение обра-
зования "Белорусский государствен-
ный технологический университет"
(BY)

(56) RU 2341894 C2, 2008.

BY 5121 C1, 2003.

RU 2369008 C2, 2009.

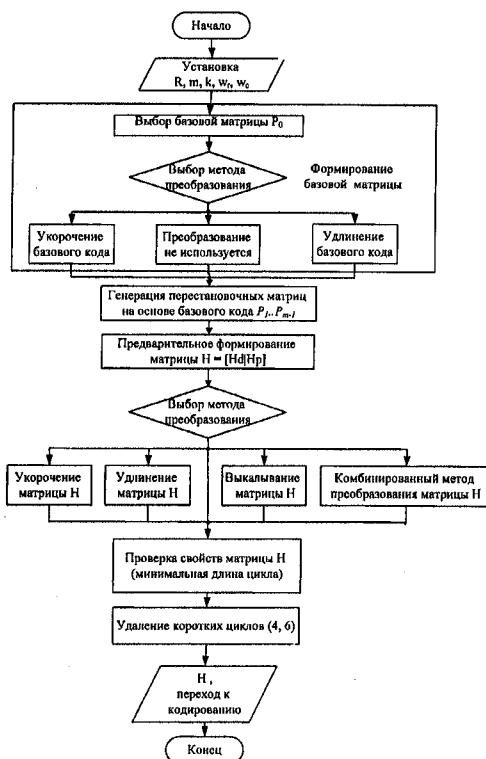
RU 2327287 C2, 2008.

JP 2010063111 A, 2010.

JP 2006054575 A, 2006.

(57)

Устройство для кодирования кодов низкой плотности проверок на четность с переменной скоростью и длиной блока, содержащее блок кодирования, блок управления кодером, запоминающее устройство, блок анализа и выработка сигнала о генерации проверочной



Фиг. 3

BY 16168 С1 2012.08.30

матрицы и блок формирования проверочной матрицы, причем блок кодирования содержит группы регистров с первой по четвертую, сумматор по модулю два и регистр сдвига, выходы регистров первой группы соединены с соответствующими первыми входами регистров четвертой группы, вторые входы которых соединены с выходом сумматора по модулю два и со входом регистра сдвига, выход которого соединен с первым входом сумматора по модулю два, второй вход которого соединен с выходами регистров третьей группы, первые входы которых соединены с соответствующими выходами регистров второй группы, выходы регистров четвертой группы являются выходами устройства, а вторые входы регистров третьей группы являются третьими информационными входами устройства, первый и второй информационные входы которого соединены соответственно с первым и вторым информационными входами блока управления кодером, управляющий вход которого соединен с выходом блока анализа и выработки сигнала о генерации проверочной матрицы, первый и второй входы которого соединены соответственно с первым и вторым выходами запоминающего устройства и со входами регистров первой и второй групп, первый и второй выходы блока управления кодером соединены соответственно с первым и вторым входами блока формирования проверочной матрицы, выход которого соединен с информационным входом запоминающего устройства, адресный вход которого соединен с третьим выходом блока управления кодером.

Изобретение относится к устройству и способу генерации проверочных матриц блоковых кодов с низкой плотностью проверки на четность (НПЧ) (Low Density Parity Check – LDPC) и может быть использовано в системах хранения и передачи информации, а также в системах беспроводной связи.

Быстрый прогресс в развитии систем связи требует разработки технологий передачи больших объемов данных с пропускной способностью в беспроводных сетях вплоть до уровня, доступного в сети проводной связи. Для обработки и передачи изображений, данных и голоса необходимо улучшать рабочие характеристики и увеличивать эффективность системы связи с помощью схем кодирования источника и канала. В системах мобильной связи неизбежно возникают ошибки вследствие шумов, интерференции и затухания в течение передачи, и как следствие происходит потеря данных.

Для обеспечения надежной передачи используются схемы канального кодирования на основе различных методов обнаружения и исправления ошибок. Техника исправление ошибок основана на добавлении избыточности в информационный блок, таким образом, чтобы было возможным извлечение исходной информации. Такие коды обладают различной степенью сложности и корректирующей способностью.

Для снижения вероятности ошибки и увеличения пропускной способности канала необходим механизм оптимизации системы кодирования. Например, путем динамического изменения параметров используемых кодов.

Широко распространенными на сегодняшний день в системах беспро-

водной передачи являются турбо-коды и коды низкой плотности проверок на четность. В силу того, что декодер для НППЧ использует основанный на алгоритме суммы-произведения итерационный алгоритм декодирования, он является менее сложным, чем декодер турбо-кода и имеет простую реализацию.

Код с низкой плотностью проверок на четность относится к линейным блочным кодам и задается параметрами (N, w_c, w_r) , где N – длина блока, w_c – количество единиц в каждом столбце (или функция распределения, если количество единиц меняется), w_r – количество единиц в каждой строке (или функция распределения, если количество единиц меняется).

Известен метод построения алгебраического кода НППЧ с переменным размером блока и скоростью кода [1]. Построение базового элементарного кода базируется на конструкциях π -вращений. Суть метода заключается в следующем. Матрица проверки на четность $H = [Hp|Hb]$ получается путем конкатенации ступенчатой (двойной диагональной) матрицы Hp вида:

$$Hp = \begin{bmatrix} 1 & 1 & 0 & .. & 0 \\ 0 & 1 & 1 & .. & 0 \\ 0 & 0 & 1 & .. & 0 \\ 0 & 0 & .. & 1 & 1 \\ 0 & 0 & .. & .. & 1 \end{bmatrix} \quad (1),$$

и Hb , состоящей из подматриц π -вращений:

$$Hb = \begin{bmatrix} \pi_A^1 & \pi_A^1 & \pi_A^1 & \pi_A^1 \\ \pi_B^1 & \pi_C^1 & \pi_D^1 & \pi_A^1 \\ \pi_C^1 & \pi_D^1 & \pi_A^1 & \pi_B^1 \\ \pi_D^1 & \pi_A^1 & \pi_B^1 & \pi_C^1 \end{bmatrix} \quad (2).$$

Полученные коды с низким минимальным расстоянием не рассматриваются. Для оставшихся кодов вычисляется распределение циклов и оставляют коды, имеющие минимальное количество коротких циклов. Полученные таким образом подматрицы объединяются путем конкатенации для по-

лучения заданной скорости кода.

Недостатком метода является ограничение скорости кода. В [1] допускаются только три скорости: $1/2$, $2/3$, $3/4$. Другим недостатком известного устройства является ограничение на количество возможных перестановочных матриц (четыре π -вращения на 90°) и способ расширения проверочной матрицы (последовательная конкатенация одной, двух или трех матриц Hb) для обеспечения одной из трех возможных скоростей. Указанные недостатки ограничивают количество возможных кодов НППЧ .

Наиболее близким техническим решением к предлагаемому изобретению является устройство кодирования для кодов низкой плотности проверок на четность с переменной длинной блока, содержащее группы регистров с первого по четвертый, сумматор по модулю 2 и регистр сдвига, входы регистров первой и второй группы являются входами устройства, выходы регистров первой группы, соединенные с первыми входами регистров четвертой группы, вторые входы которых связаны с выходами сумматора по модулю два, соединенных также с выходом регистра сдвига, выходом подключенного к первому входу сумматора по модулю два, второй вход которого связан с выходом регистров третьей группы, входы которых связаны с выходами регистров второй группы, выходы регистров четвертой группы, являющиеся выходами устройства, а вторые входы регистров третьей группы являются третьими информационными входами [2].

Устройство обеспечивает формирование блочного нерегулярного кода НППЧ на основе метода Ричардсона-Урбанке с разными скоростями кодирования и разными длинами блока, при этом минимизирована аппаратная сложность кодера. Процедура формирования матрицы контроля четности в [2] выполняется только однажды и затем сформированная матрица может быть использована для кодирования.

Основным недостатком [2] является, то, что при формировании матрицы четности используется ограниченное число базовых кодов; их всего 10.

BY 16168 С1 2012.08.30

Соответственно с их помощью можно сформировать коды НППЧ, имеющие длину N , равную 96, 192, 288, 384, 480, 576, 672, 768, 864 и 960 бит. Другим недостатком решения [2] является вычислительная сложность при конструировании матрицы проверки на четность – H . Результирующая матрица H составлена из 6 частичных матриц, что требует пяти операций перемножения. Скорость кода ограничивается четырьмя скоростями: 1/2, 2/3, 3/4, 5/6. Ограничение по скорости кодирования оказывает влияние на высокоскоростную передачу данных.

Задачей настоящего изобретения является повышение функциональности устройства кодирования для кода НППЧ, возможность генерации и хранения проверочных матриц с заданными параметрами (скорость кода, структуры и размера базовой матрицы, величины весов строки и столбца проверочной матрицы, количество информационных и проверочных разрядов), которые зависят от оценки качества канала передачи, что позволит увеличить производительность системы кодирования путем управления скоростью и длиной кода.

Поставленная задача решается тем, что в устройство для кодирования кодов низкой плотности проверок на четность с переменной скоростью и длинной блока, содержащее группы регистров с первого по четвертый, сумматор по модулю 2 и регистр сдвига, входы регистров первой и второй группы являются входами устройства, выходы регистров первой группы, соединенные с первыми входами регистров четвертой группы, вторые входы которых связаны с выходом сумматора по модулю два, соединенных также с входом регистра сдвига, выходом подключенного к первому входу сумматора по модулю два, второй вход которого связан с выходом регистров третьей группы, входы которых связаны с выходами регистров второй группы, выход регистров четвертой группы, является выходом устройства, а вторые выходы регистров третьей группы являются информационными входами устройства отличающееся тем, что в него **введены** запоминающее устрой-

BY 16168 С1 2012.08.30

ство, блок анализа, блок формирования проверочной матрицы и блок управления кодером, первые и вторые информационные входы которого соединены соответственно с первыми и вторыми информационными входами устройства, а управляющий вход соединен с выходом блока анализа, входами соединенного с первыми и вторыми выходами запоминающего устройства, соединенными также соответственно со входами регистров первой и второй групп, первый и второй выходы блока управления кодером соединены соответственно с первым и вторым входами блока формирования проверочной матрицы, выходами соединенного с информационными входами запоминающего устройства, адресные входы которого связаны с третьими выходами блока управления кодера.

В предлагаемом техническом решении изменен, по сравнению с прототипом, способ формирования проверочной матрицы кода H . Сущность этого способа в предлагаемом устройстве основана на зависимости режима генерации проверочной матрицы от длины информационного блока k , структуры и размера m базовой матрицы и битовой скорости кода R , величины весов строк w_r и столбцов проверочной матрицы w_c (определяются блоком управления на основе коэффициента битовых ошибок BER – bit error rate) и содержащего операции конкатенации базовых элементарных матриц и операции преобразования результирующей проверочной матрицы: расширения, укорочения, выкалывания или их комбинации.

Входные параметры блока генерации проверочной матрицы (R , m и k , w_r , w_c) изменяются в процессе передачи на основе оценки качества канала связи (входной параметр устройства). Так как скорость кода определяется на основе соотношения $R = k / N$ (где N – длина кодового слова), то комбинация параметров k , m , R , w_r , w_c и режима преобразования матриц позволяет получить широкий спектр кодов с различной корректирующей способностью.

Изобретение поясняется чертежами: фиг.1 – фиг.6.

Фиг. 1 – Структурная схема устройства кодирования для кодов низкой

плотности проверок на четность.

Фиг. 2 – Графическое представление матрицы проверки на четность H .

Фиг. 3 – Блок-схема алгоритма формирования проверочной матрицы с заданными параметрами.

Фиг. 4 – Графическое представление операции укорочения матрицы H .

Фиг. 5 – Графическое представление комбинированной схемы преобразования матрицы H .

Обобщенная структурная схема устройства кодирования (фиг. 1) содержит блок управления кодером 1, на первый информационный вход 2 которого передается требуемое значение длины информационного блока k , а на второй информационный вход 3 поступает коэффициент битовых ошибок. Первыми и вторыми информационными выходами, соответственно 4 и 5, блок 1 соединен с блоком 6 формирования регулярной проверочной матрицы H , что позволяет установить в 6 длину информационного блока, а также скорость кода, размер базовой матрицы и веса столбцов и строк матрицы H соответственно. Блок управления 1 первыми управляющими выходами 7 связан с оперативным запоминающим устройством (ОЗУ) 8, что определяет адрес требуемой матрицы проверок на четность.

Оперативное запоминающее устройство 8, предназначено для хранения различных конфигурации альтернативных проверочных матриц. По адресному входу 7 подается адрес ячеек памяти, из которых должна быть считана соответствующая проверочная матрица (сигналы записи/считывания на фиг. 1 не указаны). В случае отсутствия проверочной матрицы в запоминающем устройстве 8 по указанному адресу (массив ячеек памяти обнулен – все ячейки хранят символ «0»), первым и вторым информационным выходам, соответственно 9 и 10, поступают в блок анализа 11, который, в свою очередь, на основе считанной информации вырабатывает на выходе 12 сигнал о необходимости генерации новой проверочной матрицы в блоке 6. По заданным блоком управления 1 параметрам, сформированным на выходах 4 и 5,

блоком 6 генерируется требуемая матрица и последовательно записывается через первые информационные выходы 13 в блок 8 по адресу установленному на 7, на входе записи/чтения ЗУ 8 при этом устанавливается сигнал записи.

Так как проверочная матрица НППЧ кода H является разряженной (содержит малое количество единиц), то ее хранение в ЗУ 8 может быть организовано не через матрицу размерности $(N \times N - k)$, а через два массива размером z , где z – общее количество единиц в проверочной матрице. Условно назовем эти массивы «строка» и «конец строки». В массиве «строка» хранятся позиции (индексация начинается с нуля) последовательных строк, где размещены единицы. В случае перехода единицы из текущей на следующую строку в исходной матрице H (т.е. последняя единица в строке) в массиве «конец строки» выставляется флаг «1», в противном случае – «0». Например, для матрицы H размера 5×5 с количеством единиц 10:

$$H = \begin{bmatrix} 1 & & 1 & & \\ & 1 & & & 1 \\ & & 1 & & 1 \\ 1 & & & 1 & \\ & 1 & 1 & & \end{bmatrix} \quad (3),$$

массивы буду выглядеть следующим образом:

Индекс z	0 1 2 3 4 5 6 7 8 9
Массив «строка»	0 3 1 4 2 4 0 3 1 2
Массив «конец строки»	0 1 0 1 0 1 0 1 0 1

Описанный способ хранения разряженных матриц используется в ЗУ 8. При выборе матрицы на выходы блока 8 поступают значения массивов «конец строки» и «строка» соответственно сигналы 9 и 10.

Проверочная матрица H кода НППЧ является ортогональной кодовому слову, генерируемому порождающей матрицей G . Для НППЧ можно получить кодовое слово напрямую из H , без использования G [3]. Фактически процесс кодирования (формирования кодовой последовательности) заклю-

В настоящем изобретении структурно проверочная матрица регулярного НППЧ кода H разделяется на две подматрицы:

$$H = [Hd \mid Hp] \quad (5),$$

где Hp – двойная диагональная матрица размера $(N - k) \times (N - k)$, содержит проверочную часть (соответствует избыточным символам кодового слова) и имеет структуру определенную в (1), а Hd – матрица размера $(N - k) \times k$, содержит информационную часть (соответствует информационным символам кодового слова) (фиг. 2). Кодовое слово может быть представлено вектором:

$$c = [v \mid p], \quad (6),$$

где v – входной вектор длины $1, \dots, k$ (информацию, которую надо закодировать), а p – вектор проверочных разрядов длины $1, \dots, (N - k)$.

Так как в соответствии с [4] $cH^T = 0$ и в эквивалентной форме $c^T H = 0$, то можно записать:

$$[Hd \mid Hp][v \mid p]^T = 0 \quad (7),$$

и

$$p = ((inv(Hp))Hd)v \quad (8),$$

где $inv(Hp)$ – инверсия матрицы.

На фиг. 3 представлена блок-схема алгоритма формирования проверочной матрицы кода НППЧ с заданными свойствами, которая определяет функционирование блока 6.

Входами для блока 6 являются сигнал 4: размер информационного слова k и сигнал 5, который имеет следующий формат: скорость кода R (увеличивается с увеличением BER), размер базовой квадратной матрицы m (увеличивается с уменьшением BER и меньше k), веса столбцов w_c и строк w_r матрицы Hd (уменьшаются с уменьшением BER), предварительно сформированного блоком 1 на основе значения коэффициента битовых ошибок – сигнал 3 и размера информационного слова – сигнал 2.

Первый этап работы блока 6 генерации проверочной матрицы – фор-

BY 16168 С1 2012.08.30

чается в умножении в блоке кодирования проверочной матрицы H , поступающей по входам 9 и 10, на информационный вектор v – сигнал 14, являющийся третьим информационным входом кодера:

$$c = H v \quad (4).$$

Блок кодирования функционально представляет собой умножитель матрицы H на вектор v , выделен на фиг. 1 пунктиром и обозначены цифрой 15.

После считывания массивов «конец строки» по 9 и «строка» по 10 из запоминающего устройства 8, считанные символы помещаются в первую и вторую группу регистров $16_1..16_z$ и $17_1..17_z$ соответственно общим количеством z для каждого из массивов (групп). Значение регистров 17 через выход 18 определяет адрес участвующего в умножении информационного бита, предварительно занесенного через 14 в третью группу регистров $19_1..19_k$, количество которых в группе равно k . Значение регистров 16 через выход 20 определяет адрес размещения выходного бита в четвертной группе регистрах кода $21_1..21_N$ (количество регистров в группе равно N). Значение сигнала 22 на входах четвертой группы регистров 21 формируется в результате суммирования по модулю два блоком 23 значения сигнала на выходе 24 группы регистров 20 и значения сигнала на выходе 25 регистра сдвига 26, на вход которого поступает сигнал 22. В результате заполнения информацией группы регистров 21 будет сформирована кодовая последовательность на выходе устройства 27.

Отметим, что в описанной схеме устройства (фиг.1) сигналы питания и синхронизации не показаны.

В основе работы блока 6 генерации проверочных матриц лежит алгоритм формирования базовой элементарной матрицы и применяются различные манипуляции с ними для адаптации характеристик полученного вида матрицы H в соответствии с установленными требованиями (выходными сигналами 2 и 3).

мирование базовой квадратной матрицы P_0 размером $m \times m$. Параметр m может изменяться. Базовая матрица P_0 в [6] генерируется на основе известных методов [5-6]. Параметр m влияет на качество матрицы Hd . Увеличивая значение m , можно изменять корректирующую способность кода. Кроме того, матрица P_0 может частично входить в Hd (используются только первые j столбцов или первые i строк).

Одним из вариантов формирования базовой матрицы P_0 является – единичная матрица [6].

При функционировании блока б в реальной системе m будет выбрано достаточно большим, например, $m = 87, 101$ и более, однако для упрощения рассматриваемых примеров в данном решении выберем m – небольшое.

После определения матрицы базового кода строятся перестановочные матрицы на основе операции циклического сдвига строк (столбцов) вправо (влево). Операция повторяется $m - 1$ раз, что позволяет получить P_1, \dots, P_{m-1} сдвиговых матриц.

Например для $m = 5$:

$$P_0 = \begin{bmatrix} 1 & & & & \\ & 1 & & & \\ & & 1 & & \\ & & & 1 & \\ & & & & 1 \end{bmatrix}, P_1 = \begin{bmatrix} & & & 1 \\ 1 & & & \\ & 1 & & \\ & & 1 & \\ & & & 1 \end{bmatrix}, \dots, P_4 = \begin{bmatrix} 1 & & & & \\ & 1 & & & \\ & & 1 & & \\ & & & 1 & \\ & & & & 1 \end{bmatrix}.$$

Для увеличения скорости процесса формирования матриц все варианты матриц P_i могут храниться в дополнительном запоминающем устройстве.

Полученные матрицы будут использоваться в дальнейшем для построения матрицы Hd .

Первый способ размещения перестановочных матриц в Hd основан на следующем алгоритме [6]. Выбираются два числа a и b , принадлежащие ненулевым элементам поля Галуа $GF(m)$, где m – простое число. Тогда заполнение матрицы Hd размером $N - k \times k$ состоит в расстановке матриц P_i , а также ну-

левых квадратных матриц. В общем случае (s, t) -элемент матрицы Hd равен $P_{s,t} = b^{(s-1)}a^{(t-1)} \bmod m$, для $1 \leq s \leq i, 1 \leq t \leq j$:

$$Hd_{(N-k,k)} = \begin{bmatrix} P_1 & P_a & P_{a^2} & \dots & P_{a^{j-1}} \\ P_b & P_{ab} & P_{a^2b} & \dots & P_{a^{j-1}b} \\ \dots & \dots & \dots & \dots & \dots \\ P_{b^{i-1}} & P_{ba^{i-1}} & P_{a^2b^{i-1}} & \dots & P_{a^{j-1}b^{i-1}} \end{bmatrix}. \quad (9)$$

При $m = w_c$ в матрице Hd отсутствуют квадратные нулевые матрицы. Если $w_c < m$, то необходимо вводить $m - w_c$ нулевых матриц в каждый столбец и строку подматриц матрицы Hd . Согласно (9) $i = (N - k)/m$, а $j = k/m$.

В построенной таким образом проверочной матрице H длина самого короткого цикла будет равна 8 (что значительно больше, чем у НППЧ кодов, построенных на основе евклидово-геометрических кодов [5]) и не потребуется схемы удаления циклов.

Другой вариант генерации базовой матрицы P_0 – на основе латинских квадратов [5]. В этом случае могут быть введены операции преобразования базовой матрицы на основе укорочения (удаление строки и столбца) или удлинения (разделения строк и столбцов) базовой матрицы. Операции преобразования приводят проверочную матрицу к нерегулярному виду.

Таким образом, результирующая проверочная матрица H содержит проверочную матрицу Hd , получаемую в результате конкатенации нулевых и перестановочных P_0, \dots, P_{m-1} матриц, а также содержит расположенную справа двойную диагональную матрицу Hp (прочерки в матрице означают нулевые элементы):

$$H = [Hd | Hp] = \begin{bmatrix} P_1 & P_a & P_{a^2} & \dots & P_{a^{j-1}} & I_d & - & \dots & - \\ P_b & P_{ab} & P_{a^2b} & \dots & P_{a^{j-1}b} & - & I_d & \dots & - \\ \dots & - \\ P_{b^{i-1}} & P_{ba^{i-1}} & P_{a^2b^{i-1}} & \dots & P_{a^{j-1}b^{i-1}} & - & - & \dots & I_d \end{bmatrix} \quad (10),$$

где I_d двойная диагональная матрица вида:

$$I_d = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 \\ \dots & \dots & \dots & \dots \\ 0 & 0 & 1 & 1 \end{bmatrix}.$$

Например, для $m = 47$, $i = 6$, $j = 12$, $R=1/2$ и $k = 282$ матрица H размерности 282×564 будет выглядеть следующим образом (отсутствие значения в H соответствует нулевым квадратным матрицам):

$$H_{(282,564)} = \begin{bmatrix} P_{41} & P_{11} & P_{23} & I_d \\ P_3 & P_{28} & P_{16} & I_d \\ P_{30} & P_{24} & P_3 & I_d \\ P_{37} & P_{18} & P_0 & I_d \\ P_2 & P_{29} & P_{35} & I_d \\ P_{31} & P_{42} & P_{13} & I_d \end{bmatrix} \quad (11).$$

Тогда в соответствии с (8) проверочные биты будут вычисляться на основе соотношений:

$$\begin{aligned} p_1 &= \sum_{i=1}^k H_{1i} v_i, \\ p_2 &= p_1 \oplus \sum_{i=1}^k H_{2i} v_i, \\ p_3 &= p_2 \oplus \sum_{i=1}^k H_{3i} v_i, \\ &\dots \\ p_{N-k} &= p_{N-k-1} \oplus \sum_{i=1}^k H_{N-ki} v_i \end{aligned} \quad (12)$$

где H_{1i} , H_{2i} , ... H_{N-ki} – строки матрицы Hd (здесь и далее операция \oplus – суммирование по модулю два). Проверочные биты p добавляются к информационным v , образуя кодовое слово c .

Для управления скоростью кода R по алгоритму (фиг. 3) могут использоваться следующие схемы преобразования проверочных матриц:

1. Схема укорочения – получается на основе объединения двух или более строк в одну (пример работы схемы приведен на фиг. 4). Число строк матрицы H уменьшается, соответственно N (длина кодового слова)

остается без изменений, но уменьшается при этом количество проверочных разрядов $N - k$ (т.к. меньше становится строк) матрицы (кодового слова).

2. Схема расширения – противоположная по сути укорочению, заключается в делении строки на две и более строки. Увеличение H приводит к увеличению числа проверочных разрядов и уменьшению скорости кода.
3. Схема выкалывания работает на основе удаления строк или столбцов (пример работы схемы приведен фиг.5).
4. Комбинированная схема, представляющая собой сочетаний трех предыдущих схем.

Применение рассмотренных схем позволяет управлять скоростью кода, обеспечивая величины $R = 1/2, 2/3, 3/4, 3/5, 4/5, 5/6, 3/7, 4/7, 5/7, 6/7$ и др.

В общем случае схема преобразования может опускаться (фиг. 3).

Следующий этап: проверяется минимальная длина цикла матрицы . Если каждое попарное скалярное произведение всех столбцов (или строк) матрицы не более 1, это говорит об отсутствии цикла длины 4. Циклы большей длины определяются на основе графа Тернена. В случае обнаружения коротких циклов, например, длины 4 и 6, запускаются стандартные схемы удаления циклов [7]. После завершения генерации матрицы производится ее запись в запоминающее устройство методом, описанным выше.

Рассмотрим на примере процесс функционирования предлагаемого устройства. Пусть заданы: входное информационное сообщение 1111011100, длина информационного блока $k = 10$ и оценка качества канала $BER = 10^{-4}$, которые поступают на входы 14, 2 и 3 соответственно. Блок 1 формирует сигнал 7 считывания проверочной матрицы, соответствующей значениям параметров: $k = 10, R = 1/2, m = 3, w_r = 2, w_c = 2$ из запоминающего устройства. Данная проверочная матрица отсутствует в ЗУ, поэтому на выходах 9 и 10 блока 8 будут получены нулевые сигналы.

ВЧ 16168 С1 2012.08.30

Блок анализа 11 формирует и передает сигнал 12 в блок управления 1, который в свою очередь формирует сигнал 4 равный 10 и сигнал 5 формата: $R = 1/2$, $m = 3$, $w_r = 2$, $w_c = 2$, о необходимости генерации проверочной матрицы.

Формирование проверочной матрицы происходит согласно алгоритму, представленному на фиг. 3. Блок 6 генерирует базовую единичную матрицу (согласно одному из принципов построения кода) P_0 размерностью 3×3 :

$$P_0 = \begin{bmatrix} 1 & & \\ & 1 & \\ & & 1 \end{bmatrix} \quad (13)$$

Допустим, что преобразования не используются. Следующий шаг – генерация перестановочных матриц:

$$P_1 = \begin{bmatrix} & 1 \\ 1 & & \\ & & 1 \end{bmatrix}, P_2 = \begin{bmatrix} 1 & \\ & 1 \\ 1 & \end{bmatrix} \quad (14)$$

Пусть будут выбраны $a = 2$ и $b = 2$ из $GF(3)$, тогда вычисляем $i = [(N - k)/m] = [10/3] = 4$, $j = [k/m] = [10/3] = 4$ и на основе (10), (13) и (14) получаем проверочную матрицу H содержащую 16 перестановочных матриц и двойную диагональную:

$$H_{(24,12)} = \begin{bmatrix} P_1 & P_2 & P_1 & P_2 & I_d & & & \\ P_1 & P_1 & P_2 & P_1 & & I_d & & \\ P_1 & P_2 & P_1 & P_2 & & & I_d & \\ P_2 & P_2 & P_1 & P_2 & & & & I_d \end{bmatrix} \quad (15)$$

Для обеспечения заданных весов строки и столбца $w_r = 2$, $w_c = 2$ оставим в матрице Hd по две матрицы P_i в каждом столбце и строке, остальные заменим на нулевые квадратные матрицы, расстановка происходит случайнным образом. Тогда:

$$H_{(24,12)} = \begin{bmatrix} P_2 & P_2 & I_d \\ P_1 & P_2 & I_d \\ P_1 & P_2 & I_d \\ P_2 & P_2 & I_d \end{bmatrix} =$$

Следующий этап преобразование матрицы H . Так как размер информационного слова $k = 10$, а $R = 1/2$, то будет применена схема выкалывания строк и столбцов:

Получаем модифицированную матрицу:

$$H_{(20,10)} = \begin{bmatrix} 1 & & & & 1 \\ & 1 & & & 1 & 1 \\ & & 1 & & 1 & 1 & 1 \\ & & & 1 & 1 & 1 & 1 \\ 1 & & & & 1 & & 1 & 1 \\ & 1 & & & & 1 & 1 & 1 \\ & & 1 & & & & 1 & 1 \\ & & & 1 & & & & 1 & 1 \\ & & & & 1 & 1 & & & 1 & 1 \\ & & & & & 1 & & & & 1 & 1 \\ & & & & & & 1 & & & & & 1 & 1 \\ 1 & & & & & & & & & & & & & 1 & 1 \end{bmatrix} \quad (16)$$

В качестве базовых составных матриц использовались перестановочные, то короткие циклы длины 4 отсутствуют [6], удаляем циклы длины 6 на основе алгоритма [7]. Для выбранной схемы преобразования – выкалывания проверочной матрицы удаление циклов 6 не требуется [6].

Сгенерированная матрица в виде двух массивов вида:

4 10 5 10 11 3 9 11 12 2 7 12 13 0 8 13 14 1 6 14 15 8 15 16 6 9 16 17 7 17 18 1 4 18 19

0 1 0 0 1 0 0 0 1 0 0 0 1 0 0 0 1 0 0 1 0 0 0 1 0 0 1 0 0 0 1

последовательно, через информационный выход 13 поступает в блок 8 и затем блок кодирования 15 через выходы 9 и 10 соответственно.

В блоке 15 в соответствии с (6) и (12) получаем кодовое слово, передаваемое на выход 27 блока 15:

$$c = \underbrace{1 \ 1 \ 1 \ 1 \ 0 \ 1 \ 1 \ 1 \ 0 \ 0}_{v_0 v_1 v_2 v_3 v_4 v_5 v_6 v_7 v_8 v_9}$$

информационный блок

$$\underbrace{0 \ 1 \ 0 \ 0 \ 1 \ 1 \ 1 \ 0 \ 1 \ 0}_{p_0 p_1 p_2 p_3 p_4 p_5 p_6 p_7 p_8 p_9}$$

проверочный блок

где согласно (16) проверочные разряды:

$$p_0 = v_4;$$

$$p_1 = p_0 \oplus v_5;$$

$$p_2 = p_1 \oplus v_3 \oplus v_9;$$

$$p_3 = p_2 \oplus v_2 \oplus v_7;$$

$$p_4 = p_3 \oplus v_0 \oplus v_8;$$

$$p_5 = p_4 \oplus v_1 \oplus v_6;$$

$$p_6 = p_5 \oplus v_8;$$

$$p_7 = p_6 \oplus v_6 \oplus v_9;$$

$$p_8 = p_7 \oplus v_7;$$

$$p_9 = p_8 \oplus v_1 \oplus v_4.$$

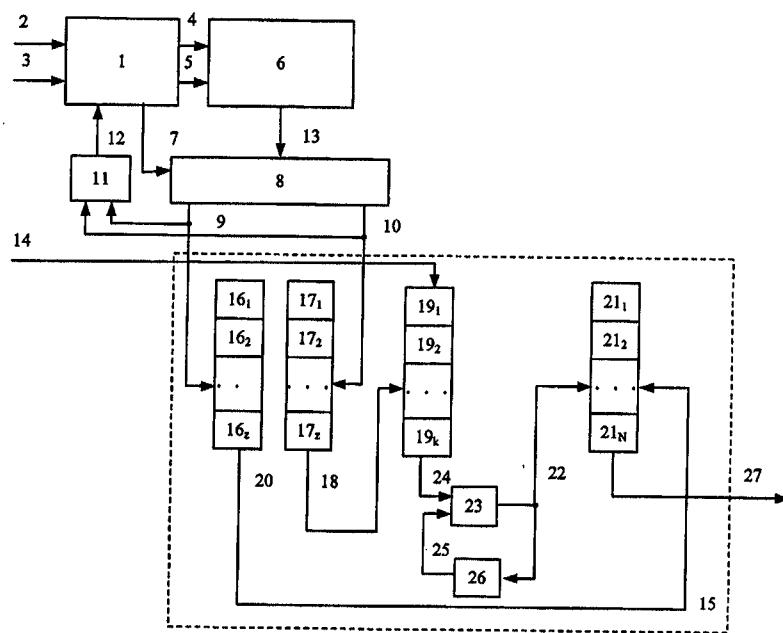
Таким образом, предлагаемое устройство кодирования кодов низкой плотности проверок на четность выполняет те же функции, что и известное. Однако, преимущество предлагаемого устройства состоит в увеличении диапазона возможных скоростей, за счет динамического формирования проверочных матриц, возможности изменения параметров кода (кодового расстояния, распределения весов строк и столбцов, размера базовой матрицы) при использовании схем модификации, а также эффективном хранении проверочных матриц. Это позволяет использовать в данном устройстве помехоустойчивые коды НППЧ с различной корректирующей способностью в зависимости от качества канала связи, что невозможно в известном устройстве [2].

Используемые источники

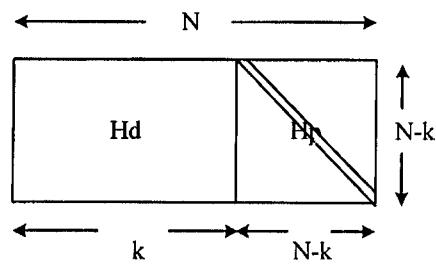
1. Патент US 7 260 763 B2 H03M 13/00 Algebraic low-density parity check code design for variable block size and code rates Publ. 21.08 .2007.
2. Патент RU 2 341 894 C2 МПК H03M 13/11 H04L 1/00 Устройство и способ для кодирования/декодирования кода разреженного контроля четности с переменной длиной блока Опубл. 20.12.2008
3. Gallager, R. G. Low Density Parity Check Codes / R. G. Gallager. – Cambridge, MA: MIT. – Press, 1963. – 90 p.
4. Блейхут, Р. Теория и практика кодов, контролирующих ошибки – М.: Мир. – 1986. – 480с.

BY 16168 C1 2012.08.30

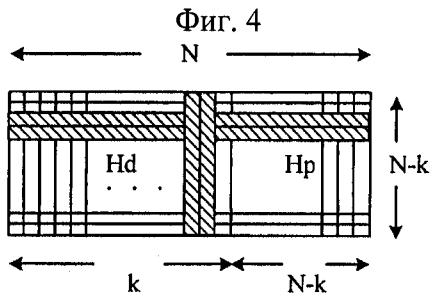
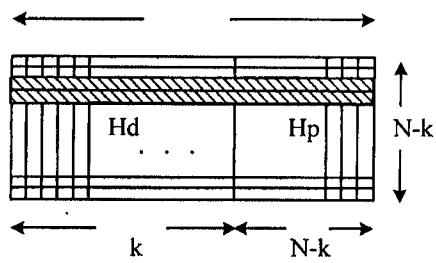
5. Kou, Y. Low Density Parity Check Codes based on Finite Geometries: A Rediscovery / Y. Kou, S. Lin, M. P. C. Fossorier R. // IEEE Trans. Inform. Theory. – 2001. – Vol.47. – P.2711-2736.
6. Tanner, R. M. LDPC block and convolutional codes based on circulant matrices. / R. M. Tanner, D. Sridhara, A. Sridharan, D. J. Costello, Jr. and T. E. Fuja // IEEE Trans. on Inform. Theory. – 2004. – Vol. 50, № 12. –P.2966-2984.
7. Косолапов, Ю.В. О применении схемы Озарова-Вайнера для защиты информации в беспроводных многоканальных системах передачи данных // Информационное противодействие угрозам терроризма: Научно-практический журнал. – 2007. – № 10. – С. 111-120.



Фиг. 1



Фиг. 2



Фиг. 5