

# ОПИСАНИЕ ПОЛЕЗНОЙ МОДЕЛИ К ПАТЕНТУ

(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР  
ИНТЕЛЛЕКТУАЛЬНОЙ  
СОБСТВЕННОСТИ

(19) ВУ (11) 8292

(13) U

(46) 2012.06.30

(51) МПК

H 03M 13/27 (2006.01)

## (54) УСТРОЙСТВО ПЕРЕМЕЖЕНИЯ/ОБРАТНОГО ПЕРЕМЕЖЕНИЯ ДЛЯ СИСТЕМ СВЯЗИ

(21) Номер заявки: u 20110840

(22) 2011.10.28

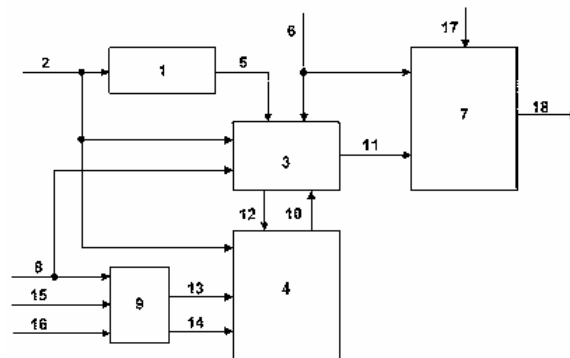
(71) Заявитель: Учреждение образования  
"Белорусский государственный техно-  
логический университет" (ВУ)

(72) Авторы: Урбанович Павел Павлович;  
Булова Юлия Олеговна; Пацей Ната-  
лья Владимировна; Романенко Дмит-  
рий Михайлович; Шиман Дмитрий  
Васильевич (ВУ)

(73) Патентообладатель: Учреждение образо-  
вания "Белорусский государственный  
технологический университет" (ВУ)

(57)

Устройство перемежения/обратного перемежения для систем связи, содержащее счетчик, вход которого соединен с входом синхронизации устройства, соединенным также с входом синхронизации генератора адресов, первый и второй входы которого соединены соответственно с первым и вторым выходами блока формирования дополнительных управляющих сигналов, первый и второй управляющие входы которого соединены соответственно с первым и вторым управляющими входами устройства, блок памяти, управляющим входом соединенный с третьим управляющим входом устройства, информационные входы и информационные выходы блока памяти соответственно соединены с информационными входами и информационными выходами устройства, отличающееся тем, что содержит блок анализа, вход синхронизации которого соединен с входом синхронизации устройства, первый управляющий вход блока соединен с выходом счетчика, второй управляющий вход блока - с третьим управляющим входом устройства, а третий и четвертый управляющие входы блока соединены соответственно с первым управляющим входом устройства и выходом генератора адресов, первые и второй выходы блока анализа соединены соответственно с адресными входами блока памяти и третьим входом генератора адресов, четвертый управляющий вход устройства, соединенный с третьим управляющим входом блока формирования дополнительных управляющих сигналов.



Фиг. 1

(56)

1. Патент РФ 2349030, МПК Н 03М 13/27, 2009.
2. Патент РФ 2274950, МПК Н 03М 13/27, 2005.
3. Патент РБ 11268, МПК Н 03М 13/00, 2008 (прототип).

---

Полезная модель относится к системам связи. Может быть использована для повышения надежности передаваемой по каналам связи информации.

Известно техническое решение [1], которое использует турбокодер для кодирования информации. Устройство включает в себя контроллер перемежителя для приема информации о размере передаваемого пакета, количестве интервалов передачи и порядке модуляции, определения в трехмерном пространстве с осями  $x$ ,  $y$  и  $z$  порядка модуляции в виде размера  $R$  по оси  $z$  так, чтобы размер физического пакета информации передачи имел максимальное значение  $2^M$ , определения размера  $K$  по оси  $y$  так, чтобы размер  $K$  удовлетворял размеру физического пакета, сохранения кодированных символов в трехмерном перемежителе и управления операцией перемежения и вывода. Канальный перемежитель последовательно принимает кодированные символы, выбирая под управлением контроллера перемежителя плоскость  $x$ - $y$ , в которой должен быть сохранен начальный символ согласно размерам по осям  $x$ ,  $y$  и  $z$ . Канальный перемежитель также последовательно сохраняет принятые символы в плоскости  $x$ - $z$  в трехмерном пространстве в направлении оси  $y$  с конкретной позиции, в которой должен сохраняться начальный символ. После завершения сохранения кодированных символов в направлении оси  $y$  канальный перемежитель осуществляет сдвиг в направлении оси  $x$  с конкретной позиции и повторно последовательно сохраняет принятые символы.

Изобретение [1] предоставляет устройство и способ для выполнения перемежения данных с учетом схемы модуляции, обеспечивает сокращение числа запросов повторной передачи за счет повышения надежности передачи символов. Однако устройство характеризуется неэффективным использованием памяти при размере перемежителя, не равном  $2^M$ .

Известно другое техническое решение [2]: устройство и способ перемежения для определения нового размера  $N' = 2^m \times (j + 1)$  перемежителя и адресов от 0 до  $N-1$ , если заданный размер  $N$  перемежителя больше чем  $2^m \times j$ , и меньше чем  $2^m \times (j + 1)$ , где  $m$  представляет первый параметр, указывающий число последовательных нулевых битов от младшего бита до старшего бита, и  $j$  представляет второй параметр, соответствующий десятичному значению битов иных, чем биты последовательных нулей. Устройство и способ перемежения предусматривают последовательное сохранение  $N$  битов входных данных в памяти перемежителя с новым размером  $N'$  перемежителя от адреса 0 до адреса  $N-1$ . Затем выполняется перемежение с частичным реверсированием битов в памяти с новым размером  $N'$  перемежителя и считывание данных из памяти путем удаления адресов, соответствующих адресам от  $N$  до  $N'-1$ , из памяти перед перемежением. Изобретение [2] повышает эффективность использования памяти перемежения. Недостатком устройства является высокая сложность.

Наиболее близким техническим решением к предлагаемому изобретению является устройство перемежения/обратного перемежения [3], содержащее генератор адресов, первый и второй входы которого соединены соответственно с первым и вторым управляющими входами устройства, а выходы генератора адресов соединены с первыми адресными входами блока памяти перемежителя, вторыми адресными входами соединенного с выходами счетчика, а информационными входами - с информационными входами устройства, информационные выходы которого соединены с выходами блока памяти перемежителя, а входы синхронизации устройства соединены с третьим входом генератора адресов и входом счетчика, блок формирования дополнительных управляющих сигналов, первый и второй входы которого соединены соответственно с первым и вторым входами генератора

адресов, а первый и второй выходы блока - с четвертым и пятым входами генератора адресов.

В этом устройстве, реализующем соответствующий способ перемежения/обратного перемежения, последовательно запоминаются  $N$  входных битовых символов в блоке памяти перемежителя по адресу от 0 до  $N-1$ , обеспечивают первую переменную  $d1$ , вторую  $d2$ , третью  $e1$  и четвертую  $e2$ , удовлетворяющие условиям  $e1 \cdot d1 \bmod t1 = 1$ , где  $t1 = (p1-1) \cdot (q1-1)$ ,  $p1$  и  $q1$  - взаимно простые числа,  $p1 \cdot q1 = n1$ , а  $e1$  и  $q1$  - простые числа, кроме того,  $e2 \cdot d2 \bmod t2 = 1$ , где  $t2 = (p2-1) \cdot (q2-1)$ ,  $p2$  и  $q2$  - взаимно простые числа,  $p2 \cdot q2 = n2$ , а  $e2$  и  $d2$  - простые числа.

Генератор адресов формирует адрес считывания в соответствии с формулой:

$$\text{adr}_k \leftarrow \left( \text{int} \left( \frac{k}{n2-1} \right) + 1 \right)^{d1} \bmod n1 - 1 + \left( \left( (k \bmod (n2-1) + 1)^{d2} \bmod n2 - 1 \right) \cdot (n1-1) \right) = v, \quad (1)$$

где  $k$  адрес памяти ( $0 \leq k \leq (N-1)$ ),  $\text{int}$  - целочисленное деление; в приведенном соотношении учитывается тот факт, что считывание символов (на выход устройства) осуществляется по столбцам.

Данная формальная запись означает, что  $v$ -й символ двукратно перемеженной (по строкам и столбцам) последовательности будет считан на выход под  $k$ -м номером ( $\text{adr}_k$ ).

Генератор адресов принимает по первому управляющему входу генератора адресов значение  $n1$ , равное размеру количества строк перемежителя, по второму - значение  $n2$ , равное размеру количества столбцов, третьему и четвертому входам - соответственно значения степенных переменных  $d1$ ,  $d2$  и синхроимпульсы (тактовые импульсы) для формирования адреса в памяти перемежителя (на выходах генератора) для считывания битовых символов, последовательно запоминаемых в блоке памяти перемежителя с его информационных входов. Блок памяти перемежителя последовательно запоминает входные битовые символы при работе в режиме записи и выводит на выходы блока битовые символы в соответствии с адресом на выходах генератора адресов в режиме считывания. Счетчик считает входные тактовые импульсы и формирует на своих выходах адрес записи.

Таким образом, известное решение [3] позволяет сравнительно эффективно осуществлять перемежение символов исходной (входной) последовательности из  $N$  бит, обеспечивая возможность разнесения группирующихся (расположенных в соседних разрядах) ошибок на некоторое расстояние. Однако определение нового адреса перемежаемого бита согласно формуле (1) требует последовательного выполнения большого количества сложных операций в каждом цикле. Это вносит существенную задержку в общее время передачи одного бита информации с учетом операции перемежения/обратного перемежения.

Задачей полезной модели является увеличение быстродействия устройства перемежения/обратного перемежения.

Поставленная задача достигается тем, что в устройство перемежения/обратного перемежения, содержащее счетчик, вход которого соединен с входом синхронизации устройства, соединенным также с входом синхронизации генератора адресов, первый и второй входы которого соединены соответственно с первым и вторым выходами блока формирования дополнительных управляющих сигналов, первый и второй управляющие входы которого соединены соответственно с первым и вторым управляющими входами устройства, блок памяти, управляющим входом соединенный с третьим управляющим входом устройства, информационные входы и информационные выходы блока памяти соответственно соединены с информационными входами и информационными выходами устройства, введены блок анализа, вход синхронизации которого соединен с входом синхронизации устройства, первый управляющий вход блока соединен с выходом счетчика, второй управляющий вход блока - с третьим управляющим входом устройства, а третий и четвертый управляющие входы блока соединены соответственно с первым управляющим входом устройства и выходом генератора адресов, первый и второй выходы блока анализа соединены соответственно с адресным входом блока памяти и третьим входом генератора

адресов, четвертый управляющий вход устройства, соединенный с третьим управляющим входом блока формирования дополнительных управляющих сигналов.

Изобретение поясняется чертежами:

фиг. 1 - схема устройства перемежения/обратного перемежения;

фиг. 2 - принцип перестановки строк матрицы данных;

фиг. 3 - блок-схема работы блока анализа.

Процессор (на фиг. 1 не показан) связан с памятью и используется для разделения пакетов данных на части. Он также предназначен для генерации перемежения последовательного множества частей данных и индексации символов.

На фиг. 1 показана схема устройства перемежения/обратного перемежения. Устройство содержит счетчик 1, вход которого соединен с входом синхронизации 2 устройства, соединенным также с входом синхронизации блока анализа 3 и входом синхронизации генератора адресов 4. Выход счетчика соединен с первым управляющим входом 5 блока анализа 3, второй управляющий вход 6 которого соединен с третьим управляющим входом устройства, соединенным также с управляющим входом блока памяти 7. Третий управляющий вход блока анализа 3 соединен с первым управляющим входом 8 устройства, соединенным также с первым управляющим входом блока формирования дополнительных управляющих сигналов 9, а четвертый управляющий вход 10 блока 3 - с выходом генератора адресов 4. Первые и второй выходы блока анализа 3 соединены соответственно с адресными входами 11 блока памяти 7 и третьим входом 12 генератора адресов 4, первый 13 и второй 14 входы которого соединены соответственно с первым и вторым выходами блока формирования дополнительных управляющих сигналов 9, первый 15 и второй 16 управляющие входы которого связаны соответственно со вторым и четвертым управляющими входами устройства. Информационные входы и информационные выходы блока памяти 7 соединены соответственно с информационными входами 17 и информационными выходами 18 устройства.

Сущность предлагаемого технического решения основана на представлении бит передаваемого сообщения в виде матрицы, строки и столбцы которой формируются последовательностью входных символов, образующих пакет данных. Блок формирования дополнительных управляющих сигналов 9 в соответствии с управляющими сигналами на управляющем входе 8 ( $Kr$  - заданная кратность ошибок, которые позволяет исправить выбранный код) и управляющем входе 15 ( $N$  - размер сообщения) вычисляет количество строк ( $n_r$ ) матрицы и передает на первый вход 13 генератора адресов 4.

Количество столбцов ( $n_c$ ) матрицы в точности должно быть равно заданной кратности ошибок ( $Kr$ ), которые позволяет исправить выбранный код:

$$n_c = Kr. \quad (2)$$

Тогда количество строк ( $n_r$ ) матрицы находится по формуле:

$$n_r = \begin{cases} \left\lfloor \frac{N}{n_c} \right\rfloor & \text{при } N \bmod n_c = 0, \\ \left\lfloor \frac{N}{n_c} \right\rfloor + 1 & \text{при } N \bmod n_c \neq 0. \end{cases} \quad (3)$$

Произведение заранее установленных количеств строк ( $n_r$ ) и столбцов ( $n_c$ ) матрицы соответствует размеру перемежителя ( $N'$ ):

$$N' = n_r \cdot n_c. \quad (4)$$

Блок формирования дополнительных управляющих сигналов 9 в зависимости от управляющего сигнала на четвертом управляющем входе 16 ("0" означает процесс перемежения, "1" - процесс обратного перемежения) вычисляет величину шага перемежения строк  $a$  (если осуществляется процесс перемежения) или величину шага обратного перемежения строк  $b$  (если осуществляется процесс обратного перемежения) и передает значение шага на второй вход 14 генератора адресов 4.

## BY 8292 U 2012.06.30

Шаг перемежения строк  $a$  определяется в интервале,  $\llbracket 0,382 \cdot n_r - 2 \rrbracket; \llbracket 0,382 \cdot n_r + 2 \rrbracket$ , причем  $a$  и  $n_r$  должны быть взаимно простыми числами. Шаг обратного перемежения строк  $b$  вычисляется по формуле:

$$b = \frac{m \cdot n_r + 1}{a}, \quad (5)$$

где  $m$  - целое число ( $0 \leq m \leq n_r - 1$ ). Значение переменной  $b$  должно быть целым числом.

Счетчик 1 считает входные тактовые импульсы и формирует на своих выходах начальный адрес бита  $i$  и передает на первый управляющий вход 5 блока анализа 3. На выходе 12 блока анализа 3 вырабатывается сигнал с номером перемежаемой строки бит  $i_r$  и передается на третий вход генератора адресов 4:

$$i_r = \frac{i}{K_r}. \quad (6)$$

Генератор адресов 4 формирует новый адрес строки бит (перемежаемой или деперемежаемой) в соответствии с формулой (7), передает этот адрес на четвертый управляющий вход 10 блока анализа 3:

$$\pi(i_r) = i_r \cdot c \bmod n_r, \quad (7)$$

где  $i_r$  - начальный адрес строки бит;  $\pi(i_r)$  - адрес строки бит после перемежения/обратного перемежения ( $0 \leq \pi(i_r) \leq n_r - 1$ );  $c$  - параметр, значение которого определяется в блоке формирования дополнительных управляющих сигналов 9 в зависимости от сигнала на четвертом управляющем входе 16 устройства; параметр  $c$  принимает значение величины шага  $a$  при перемежении и значение величины шага  $b$  при обратном перемежении.

Блок анализа 3 в соответствии с управляющими сигналами, поступающими на его третий 8 ( $K_r$ ) и четвертый 10 ( $\pi(i_r)$ ) управляющие входы, определяет новый адрес для первого бита строки по формуле:

$$v(i) = 7t(i_r) \cdot K_r, \quad (8)$$

где  $v(i)$  - адрес первого бита строки после перемежения/обратного перемежения.

Значение каждого нового адреса бита из строки отличается от значения адреса предыдущего бита на единицу в младшем разряде:

$$v(i + 1) = v(i) + 1. \quad (9)$$

Адреса бит, составляющих строку данных, передаются на адресные входы 11 блока памяти 7. При достижении конца строки на выходе 12 блока анализа 3 вырабатывается сигнал с начальным адресом новой строки бит  $i_r$  первого бита из новой строки бит согласно формуле (6) и передается на третий вход генератора адресов 4 (фиг. 3).

На входах 6 устройства в режимах записи в блок памяти 7 и считывания данных из блока 7 установлены различные управляющие сигналы ("1" - считывание, "0" - запись). В режиме записи поступающие на информационные входы 17 блока памяти 7 биты записываются согласно адресу, поступающему с блока анализа 3 на адресные входы 11. В режиме считывания из блока памяти 7 последовательно считываются биты, начиная с нулевого адреса до  $N' - 1$ , и передаются на информационные выходы 18 устройства.

Для примера рассмотрена система связи, использующая помехоустойчивый код, имеющий корректирующую способность 8 бит ( $K_r = 8$ ). Пусть размер передаваемого сообщения составляет 1024 бит ( $N = 1024$ ).

Для начала необходимо определить размерность матрицы. Согласно формуле (2), количество столбцов ( $n_c$ ) матрицы равно заданной кратности ошибок ( $K_r$ ), которые позволяет исправить выбранный код:

$$N_c = K_r = 8.$$

Тогда количество строк ( $n_r$ ) матрицы находится по формуле (3):

$$n_r = \left\lfloor \frac{N}{n_c} \right\rfloor = \left\lfloor \frac{1024}{8} \right\rfloor = 128.$$

# BY 8292 U 2012.06.30

Размер перемежителя равен произведению количеств строк ( $n_r$ ) и столбцов ( $n_c$ ) матрицы:

$$N' = n_r \cdot n_c = 128 \cdot 8 = 1024.$$

Таким образом, исходную последовательность бит можно представить в виде следующей матрицы (табл. 1).

Таблица 1

|      |      |      |      |      |      |      |      |
|------|------|------|------|------|------|------|------|
| 0    | 1    | 2    | 3    | 4    | 5    | 6    | 7    |
| 8    | 9    | 10   | 11   | 12   | 13   | 14   | 15   |
| 16   | 17   | 18   | 19   | 20   | 21   | 22   | 23   |
| ...  | ...  | ...  | ...  | ...  | ...  | ...  | ...  |
| 1000 | 1001 | 1002 | 1003 | 1004 | 1005 | 1006 | 1007 |
| 1008 | 1009 | 1010 | 1011 | 1012 | 1013 | 1014 | 1015 |
| 1016 | 1017 | 1018 | 1019 | 1020 | 1021 | 1022 | 1023 |

В режиме перемежения (управляющий сигнал "0" на четвертом управляющем входе 16 блока формирования дополнительных управляющих сигналов 9) определяется величина шага перемежения  $a$ :

$$\lfloor 0,382 \cdot n_r - 2 \rfloor \leq a \leq \lfloor 0,382 \cdot n_r + 2 \rfloor,$$
$$46 \leq a \leq 50.$$

Числа  $a$  и  $n_r$  взаимно простые при следующих значениях величины  $a$ : {47,49}. Пусть  $a = 49$ . Значение количества строк  $n_r$  и шага  $s = a$  (так как идет процесс перемежения) передается соответственно на первый 13 и второй 14 входы генератора адресов 4.

Счетчик 1 формирует на своих выходах начальный адрес бита ( $i = 0$ ) и передает на первый управляющий вход 5 блока анализа 3, где определяется начальный номер строки бит согласно формуле (6) и передается на третий вход 12 генератора адресов 4:

$$i_r = \frac{i}{K_r} = \frac{0}{8} = 0.$$

Генератор адресов 4 формирует новый адрес строки бит (перемежаемой или депережаемой) в соответствии с формулой (7), передает этот адрес на четвертый управляющий вход 10 блока анализа 3:

$$\pi(0) = 0 \cdot 49 \bmod 128 = 0.$$

Блок анализа 3 в соответствии с управляющими сигналами, поступающими на его третий 8 ( $K_r = 8$ ) и четвертый 10 ( $\pi(0) = 0$ ) управляющие входы, определяет новый адрес для первого бита строки по формуле (8):

$$v(0) = 0 \cdot 8 = 0.$$

Значение каждого нового адреса бита из строки определяется согласно формуле (9):

$$v(1) = v(0) + 1 = 1,$$

$$v(2) = 2,$$

...

$$v(6) = 6,$$

$$v(7) = 7.$$

Полученные адреса бит, составляющих строку данных, передаются на адресные входы 11 блока памяти 7. При достижении конца строки на выходе 12 блока анализа 3 вырабатывается сигнал с начальным адресом новой строки бит  $i_r$  первого бита из новой строки бит согласно формуле (6) и передается на третий вход генератора адресов:

$$i_r = \frac{8}{8} = 1.$$

Генератор адресов 4 формирует новый адрес следующей перемежаемой строки бит в соответствии с формулой (7), передает этот адрес на четвертый управляющий вход 10 блока анализа 3:

$$\pi(1) = 1 \cdot 49 \bmod 128 = 49.$$

# BY 8292 U 2012.06.30

Согласно формуле (8) первый бит строки будет иметь следующий новый адрес:

$$v(8) = 49 \cdot 8 = 392.$$

Блок анализа 3 формирует адреса каждого бита из строки и передает на адресные входы 11 блока памяти 7, увеличивая адрес предыдущего бита на единицу в младшем разряде.

Таким образом, перемеженная последовательность бит имеет следующие адреса (табл. 2).

Таблица 2

|     |     |     |     |     |     |     |     |
|-----|-----|-----|-----|-----|-----|-----|-----|
| 0   | 1   | 2   | 3   | 4   | 5   | 6   | 7   |
| 392 | 393 | 394 | 395 | 396 | 397 | 398 | 399 |
| 784 | 785 | 786 | 787 | 788 | 789 | 790 | 791 |
| ... | ... | ... | ... | ... | ... | ... | ... |
| 872 | 873 | 874 | 875 | 876 | 877 | 878 | 879 |
| 240 | 241 | 242 | 243 | 244 | 245 | 246 | 247 |
| 632 | 633 | 634 | 635 | 636 | 637 | 638 | 639 |

Процедура обратного перемежения идентична процедуре перемежения, но параметру  $c$  присваивается значение  $b$ , которое вычисляется в соответствии с формулой (5). Таким образом, (при  $a = 49$ )  $c = b = 81$ .

Например, первая строка бит после перемежения переместилась на 49-ую строку. Согласно формуле (7), 49-ая строка после обратного перемежения будет записана на место 1-ой:

$$\pi(49) = 49 \cdot 81 \bmod 128 = 1.$$

Новый адрес для первого бита строки ( $i = i_r \cdot Kr = 49 \cdot 8 = 392$ ) определяется по формуле (8):

$$v(392) = 1 \cdot 8 = 8.$$

Согласно формуле (9) вычисляется значение каждого нового адреса бита из строки:

$$v(393) = v(392) + 1 = 9,$$

$$v(394) = 10,$$

...

$$v(398) = 14,$$

$$v(399) = 15.$$

Операция обратного перемежения позволяет полностью восстановить исходную последовательность бит.

Для сравнения скорости работы нового устройства и прототипа в табл. 3 приведено количество различных операций, которые необходимо выполнить процессору для перемежения приведенной в примере исходной последовательности бит ( $N = 1024$ ).

Таблица 3

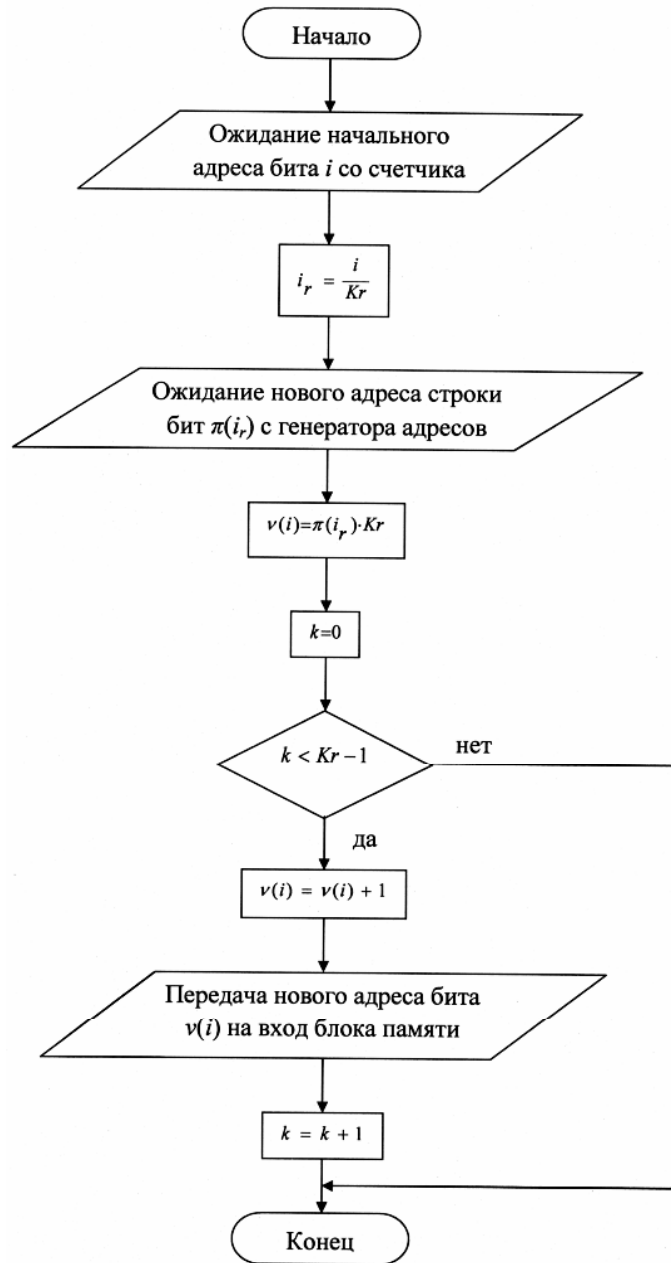
| Операции                      | Прототип | Новое устройство |
|-------------------------------|----------|------------------|
| Сложение                      | 4096     | 896              |
| Вычитание                     | 4096     | 0                |
| Умножение                     | 1024     | 256              |
| Деление                       | 1024     | 128              |
| Возведение в степень          | 2048     | 0                |
| Вычисление остатка от деления | 3072     | 128              |

Как видно из таблицы, новое устройство позволяет существенно уменьшить время перемежения/обратного перемежения.

Перечень предприятий, на которых может быть использовано изобретение: операторы сотовой связи (например, Dialog, Velcom, МТС), интернет-провайдеры (например Белтелеком, Unibel, Solo).

|            |            |     |     |     |             |
|------------|------------|-----|-----|-----|-------------|
| $M_{0,0}$  | $M_{1,0}$  | ... | ... | ... | $M_{nc,0}$  |
| $M_{0,1}$  | ...        | ... | ... | ... | $M_{nc,1}$  |
| ...        | ...        | ... | ... | ... | ...         |
| ...        | ...        | ... | ... | ... | ...         |
| $M_{0,nr}$ | $M_{1,nr}$ | ... | ... | ... | $M_{nc,nr}$ |

Фиг. 2



Фиг. 3